

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-072540
 (43)Date of publication of application : 16.03.1999

(51)Int.Cl. G01R 31/28
 G06F 1/06
 H03K 5/13

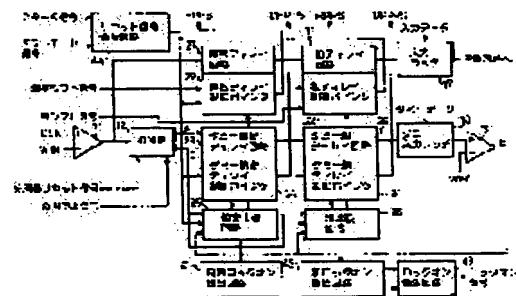
(21)Application number : 09-235026 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 29.08.1997 (72)Inventor : TOMITA HIROYOSHI
 TANIGUCHI NOBUTAKA
 MATSUZAKI YASURO

(54) SEMICONDUCTOR DEVICE AND ITS TESTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To easily measure characteristics at the time of improving the operation speed by using a DLL(delay locked loop) circuit, by setting the control value of a delay control pointer for controlling the amount of delay of a variable delay to a desired initial value.

SOLUTION: For controlling the amount of delay of a precision delay circuit 21, a rough delay circuit 31, a dummy precision delay circuit 23, and a dummy rough delay circuit 33, a precision delay control pointer 22, a rough delay control pointer 32, a dummy precision delay control pointer 24, and a dummy rough delay control pointer 34 are provided. With the precision delay control pointer 22 and the dummy precision delay control pointer 24, a control value changes based on each comparison result of a precision comparison circuit 25. Also, with the rough delay control pointer 32 and the dummy rough delay control pointer 34, the control value changes based on each comparison result of a rough comparison circuit 35. The comparison circuits 25 and 35 judge the phase of an output E of an output buffer 19 with a frequency-dividing block C being outputted by a frequency divider 12 as a reference.



LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-72540

(43)公開日 平成11年(1999)3月16日

(51) Int.Cl.⁶
G 0 1 R 31/28
G 0 6 F 1/06
H 0 3 K 5/13

識別記号

F I
G O 1 R 31/28 V
H O 3 K 5/13
G O 6 F 1/04 3 1 2 A

審査請求 未請求 請求項の数57 OL (全 28 頁)

(21) 出願番号 特願平9-235026

(22) 出願日 平成9年(1997)8月29日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 富田 浩由
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 谷口 幹孝
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 松崎 康郎
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

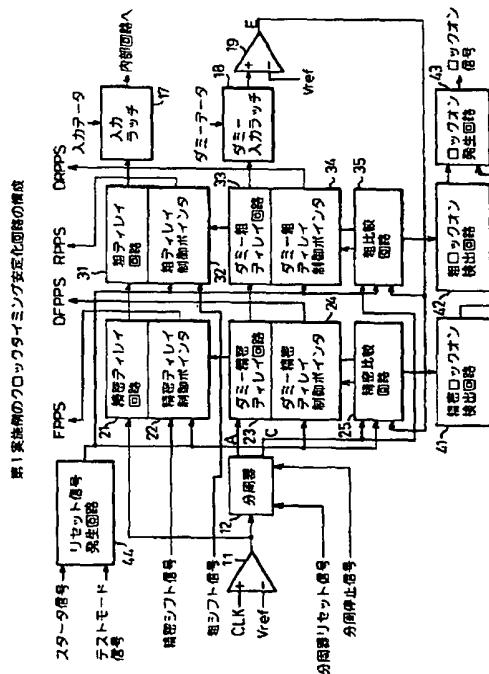
(74) 代理人 弁理士 石田 敏 (外3名)

(54) 【発明の名称】 半導体装置及びその試験方法

(57) 【要約】

【課題】 D L L回路を有する半導体装置の動作試験が容易に行える半導体装置及びその試験方法の実現。

【解決手段】 クロックCLKを遅延させて遅延クロックを出力する遅延量が可変の可変ディレイ21,23,31,33と、遅延クロックに応じてタイミング調整信号を生成するタイミング調整信号発生回路18,19と、対象信号のクロックに対する位相の進み具合を比較する位相比較器25,35と、比較結果に基づいて可変ディレイにおける遅延量を制御するディレイ制御ポインタ22,24,32,34とを備え、対象信号がクロックに対して所定の位相になるよう制御するクロックタイミング安定化回路を有する半導体装置において、クロックタイミング安定化回路は、設定信号に応じて可変ディレイにおける遅延量が所望の値になるようにディレイ制御ポインタの制御値を所定の値に設定するポインタ位置制御回路を備える。



【特許請求の範囲】

【請求項1】 クロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、

前記遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、前記対象信号の前記クロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号が前記クロックに対して所定の位相になると制御するクロックタイミング安定化回路を有する半導体装置において、

前記クロックタイミング安定化回路は、設定信号に応じて、前記可変ディレイにおける遅延量が所望の値になるように、前記ディレイ制御ポインタの制御値を所定の値に設定するポインタ位置制御回路を備えることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置であって、前記位相比較器は、前記設定信号に応じて比較動作を停止する半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置であって、電源電圧レベル判定回路の判定信号に応じて、前記クロックに同期したリセット信号を発生させ、該リセット信号を前記設定信号として出力するリセット信号発生回路を備える半導体装置。

【請求項4】 請求項1又は2に記載の半導体装置であって、

前記ポインタ位置制御回路は、

パワーオンリセット信号又はテストモード信号に応じて、前記設定信号を所定期間発生させるリセット信号発生回路と、

前記ディレイ制御ポインタの、前記設定信号を供給する設定信号線への接続回路とを備える半導体装置。

【請求項5】 請求項4に記載の半導体装置であって、前記位相比較器は、当該半導体装置の外部信号により、前記ディレイ制御ポインタの値を増加又は減少させることができる半導体装置。

【請求項6】 請求項1又は2に記載の半導体装置であって、

当該半導体装置の外部から入力される前記所定の値を、前記ディレイ制御ポインタに書き込むポインタ値書き込み回路を備える半導体装置。

【請求項7】 請求項6に記載の半導体装置であって、前記所定の値は、当該半導体装置にシリアルデータで入力され、

前記ポインタ値書き込み回路は、前記シリアルデータをパラレルデータに変換するシフトレジスタを備え、該シフトレジスタの出力する前記パラレルデータを前記ディレイ制御ポインタに書き込む半導体装置。

【請求項8】 請求項6又は7に記載の半導体装置であ

って、

前記所定の値は、当該半導体装置にコード化された形で入力され、

前記ポインタ値書き込み回路は、前記コード化された所定の値をデコードするデコーダを備える半導体装置。

【請求項9】 請求項1から8のいずれか1項に記載の半導体装置であって、

前記ディレイ制御ポインタの前記制御値を当該半導体装置の外部に読み出すポインタ値読み出し回路を備える半導体装置。

【請求項10】 請求項9に記載の半導体装置であって、

前記ポインタ値読み出し回路は、

前記ディレイ制御ポインタの前記制御値をラッチするラッチ回路と、

該ラッチ回路の出力をシリアルデータに変換するシフトレジスタとを備える半導体装置。

【請求項11】 請求項9又は10に記載の半導体装置であって、

前記ポインタ値読み出し回路は、

前記ディレイ制御ポインタの前記制御値をコード化するエンコーダを備え、当該半導体装置の外部には、前記ディレイ制御ポインタの前記制御値のコード化した値を出力する半導体装置。

【請求項12】 請求項9から11のいずれか1項に記載の半導体装置であって、

前記可変ディレイは複数個あり、前記ディレイ制御ポインタも複数個あり、

該複数のディレイ制御ポインタの制御値の差を演算する演算回路を備え、該演算回路の算出値を読み出す半導体装置。

【請求項13】 請求項12に記載の半導体装置であって、

前記可変ディレイと前記ディレイ制御ポインタで構成される前記クロックタイミング安定化回路が複数個あり、該複数個のクロックタイミング安定化回路のうち1つは、 0° の位相のクロックを発生する 0° DLL回路であり、前記演算回路は、前記 0° DLL回路と他のDLL回路の前記ディレイ制御ポインタの制御値の差を演算する半導体装置。

【請求項14】 請求項13に記載の半導体装置であって、

前記 0° DLL回路との前記ディレイ制御ポインタの制御値の差を演算されるDLL回路は、前記複数のDLL回路のうち最大の段数を有する可変ディレイを有する半導体装置。

【請求項15】 請求項13に記載の半導体装置であって、

前記 0° DLL回路との前記ディレイ制御ポインタの制御値の差を演算されるDLS回路は、 180° の位相の

クロックを発生する 180° D L S 回路である半導体装置。

【請求項16】 クロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、前記遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、前記対象信号の前記クロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号が前記クロックに対して所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記クロックタイミング安定化回路は、前記可変ディレイの前又は後に、前記遅延クロックを遅延させ、遅延量が外部から設定可能な調整ディレイを備えることを特徴とする半導体装置。

【請求項17】 請求項1から16のいずれか1項に記載の半導体装置であって、

クロックタイミング安定化回路は、前記対象信号が前記クロックに対して前記所定の位相から所定の範囲内に入ったことを検出した時にロックオン信号を外部に出力するロックオン検出回路を備える半導体装置。

【請求項18】 請求項17に記載の半導体装置であって、

前記クロックタイミング安定化回路が複数個あり、前記複数個のクロックタイミング安定化回路の前記ロックオン信号の論理積を算出する演算回路を備え、該演算回路の出力を当該半導体装置のロックオン信号とする半導体装置。

【請求項19】 請求項17に記載の半導体装置であって、

前記クロックタイミング安定化回路が複数個あり、前記複数個のクロックタイミング安定化回路のうち、最大の段数を有する可変ディレイを有するクロックタイミング安定化回路の前記ロックオン信号を、当該半導体装置のロックオン信号とする半導体装置。

【請求項20】 請求項1から16のいずれか1項に記載の半導体装置であって、

前記可変ディレイは、前記遅延量が相対的に小さい精密可変ディレイと、前記遅延量が前記精密可変ディレイの遅延量に比べて相対的に大きい粗可変ディレイとを直列に接続した構成であり、

前記ディレイ制御ポインタは、前記精密可変ディレイの遅延量を制御する精密ディレイ制御ポインタと、前記粗可変ディレイの遅延量を制御する粗ディレイ制御ポインタとを備え、

前記位相比較器は、相対的に高い分解能で位相を比較し、比較結果を前記精密ディレイ制御ポインタに供給する精密位相比較器と、該精密位相比較器の分解能より相

対的に低い分解能で位相を比較し、比較結果を前記粗ディレイ制御ポインタに供給する粗位相比較器とを備え、前記ポインタ位置制御回路は、前記精密ディレイ制御ポインタに所定の値を設定する精密ポインタ位置制御回路と、前記粗ディレイ制御ポインタに所定の値を設定する粗ポインタ位置制御回路とを備え、前記精密可変ディレイと前記粗可変ディレイの遅延量を所望の値に設定できる半導体装置。

【請求項21】 請求項20に記載の半導体装置であって、

前記精密位相比較器が、前記対象信号が前記クロックに対して前記所定の位相から所定の範囲内に入ったことを検出した時に精密ロックオン信号を出力する精密ロックオン検出回路と、

前記粗位相比較器が、前記対象信号が前記クロックに対して前記所定の位相から所定の範囲内に入ったことを検出した時に粗ロックオン信号を出力する粗ロックオン検出回路と、

前記粗ロックオン信号と前記精密ロックオン信号が共に输出した時に、前記クロックタイミング安定化回路がロックオンしたことを示すロックオン信号を発生するロックオン信号発生回路と備える半導体装置。

【請求項22】 請求項21に記載の半導体装置であって、

前記ロックオン信号発生回路は、前記粗ロックオン信号が输出された後所定時間経過後も前記精密ロックオン信号が输出されない時には、前記クロックタイミング安定化回路がロックオンしたことを示すロックオン信号を発生する半導体装置。

【請求項23】 請求項22に記載の半導体装置であって、前記所定時間は、前記精密位相比較器において、前記精密可変ディレイの可変段数分の回数以上、比較動作が行なわれるよう決定される半導体装置。

【請求項24】 請求項20に記載の半導体装置であって、

前記粗位相比較器が、前記対象信号が前記クロックに対して前記所定の位相から所定の範囲内に入ったことを検出した時に粗ロックオン信号を出力する粗ロックオン検出回路を備え、

前記粗ロックオン信号は、前記クロックタイミング安定化回路がロックオンしたことを示す半導体装置。

【請求項25】 請求項1から24のいずれか1項に記載の半導体装置であって、

前記クロックを分周し、分周比が可変である分周器を備え、

前記可変ディレイには前記分周器で分周された分周クロックが入力され、

前記位相比較器は、前記対象信号の前記分周クロックに対する位相を判定する半導体装置。

【請求項26】 請求項25に記載の半導体装置であつ

て、

前記分周器は、前記設定信号に応じて、当該分周器の分周比を初期値にリセットする半導体装置。

【請求項27】 クロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、該可変ディレイと等価で、前記クロックを遅延させてダミー遅延クロックを出力するダミー可変ディレイと、前記ダミー遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、

前記対象信号の前記クロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイ及び前記ダミー可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号のが前記クロックに対して所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記ディレイ制御ポインタは、前記可変ディレイの遅延量を制御する通常ディレイ制御ポインタと、前記ダミー可変ディレイの遅延量を制御するダミーディレイ制御ポインタとを備え、

前記クロックタイミング安定化回路は、設定信号に応じて、前記通常ディレイ制御ポインタの制御値を所定の値に設定する通常ポインタ位置制御回路と、前記ダミーディレイ制御ポインタの制御値を所定の値に設定するダミーポインタ位置制御回路とを備え、

前記遅延クロックと前記ダミー遅延クロックの間の位相差を任意に設定できることを特徴とする半導体装置。

【請求項28】 請求項27に記載の半導体装置であって、

前記位相比較器は、比較動作を停止している間に、当該半導体装置の外部信号により、前記通常ディレイ制御ポインタ及び前記ダミーディレイ制御ポインタの値を増加又は減少させる比較結果を出力可能である半導体装置。

【請求項29】 請求項27に記載の半導体装置であって、

当該半導体装置の外部から入力される前記所定の値を、前記ディレイ制御ポインタに書き込むポインタ値書き込み回路を備える半導体装置。

【請求項30】 請求項27から29のいずれか1項に記載の半導体装置であって、

前記通常ディレイ制御ポインタと前記ダミーディレイ制御ポインタの前記制御値を当該半導体装置の外部に読み出すポインタ値読み出し回路を備える半導体装置。

【請求項31】 請求項27から30のいずれか1項に記載の半導体装置であって、

前記可変ディレイは、前記遅延量が相対的に小さい精密可変ディレイと、前記遅延量が前記精密可変ディレイの遅延量に比べて相対的に大きい粗可変ディレイとを直列

に接続した構成であり、

前記ダミー可変ディレイは、前記遅延量が相対的に小さいダミー精密可変ディレイと、前記遅延量が前記精密可変ディレイの遅延量に比べて相対的に大きいダミー粗可変ディレイとを直列に接続した構成であり、前記通常ディレイ制御ポインタは、前記精密可変ディレイの遅延量を制御する精密ディレイ制御ポインタと、前記粗可変ディレイの遅延量を制御する粗ディレイ制御ポインタとを備え、

前記通常ディレイ制御ポインタは、前記ダミー精密可変ディレイの遅延量を制御するダミー精密ディレイ制御ポインタと、前記ダミー粗可変ディレイの遅延量を制御するダミー粗ディレイ制御ポインタとを備え、

前記位相比較器は、相対的に高い分解能で位相を比較し、比較結果を前記精密ディレイ制御ポインタに供給する精密位相比較器と、該精密位相比較器の分解能より相対的に低い分解能で位相を比較し、比較結果を前記粗ディレイ制御ポインタに供給する粗位相比較器とを備え、前記通常ポインタ位置制御回路は、前記精密ディレイ制御ポインタに所定の値を設定する精密ポインタ位置制御回路と、前記粗ディレイ制御ポインタに所定の値を設定する粗ポインタ位置制御回路とを備え、

前記通ダミーポインタ位置制御回路は、前記ダミー精密ディレイ制御ポインタに所定の値を設定するダミー精密ポインタ位置制御回路と、前記ダミー粗ディレイ制御ポインタに所定の値を設定するダミー粗ポインタ位置制御回路とを備える半導体装置。

【請求項32】 クロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、

該可変ディレイと等価で、前記クロックを遅延させてダミー遅延クロックを出力するダミー可変ディレイと、該ダミー可変ディレイで遅延された遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、

前記対象信号の前記クロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイ及び前記ダミー可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号の前記クロックが所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記可変ディレイの前又は後に設けられ、前記遅延クロックを更に遅延させる調整ディレイと、

前記ダミー可変ディレイの前又は後に設けられ、前記ダミー遅延クロックを更に遅延させるダミー調整ディレイとを備え、

前記調整ディレイと前記ダミー調整ディレイの少なくとも一方は、遅延量が外部から設定可能であり、

前記遅延クロックと前記ダミー遅延クロックの間の位相差が任意に設定可能であることを特徴とする半導体装

置。

【請求項33】 請求項32に記載の半導体装置であつて、

前記調整ディレイの遅延量は外部から設定可能で、前記ダミー調整ディレイの遅延量は固定である半導体装置。

【請求項34】 請求項32に記載の半導体装置であつて、

前記調整ディレイの遅延量は固定で、前記ダミー調整ディレイの遅延量は外部から設定可能である半導体装置。

【請求項35】 請求項33又は34に記載の半導体装置であつて、

前記調整ディレイ又は前記ダミー調整ディレイの固定の遅延量は、他方のディレイの段数がゼロに設定された時の遅延量に等しい半導体装置。

【請求項36】 請求項33又は34に記載の半導体装置であつて、

前記調整ディレイ又は前記ダミー調整ディレイの固定の遅延量は、他方のディレイの総段数の約半分の段数に設定された時の遅延量に等しい半導体装置。

【請求項37】 請求項31から36のいずれか1項に記載の半導体装置であつて、

前記可変ディレイは、前記遅延量が相対的に小さい精密可変ディレイと、前記遅延量が前記精密可変ディレイの遅延量に比べて相対的に大きい粗可変ディレイとを直列に接続した構成であり、

前記ダミー可変ディレイは、前記遅延量が相対的に小さいダミー精密可変ディレイと、前記遅延量が前記精密可変ディレイの遅延量に比べて相対的に大きいダミー粗可変ディレイとを直列に接続した構成であり、

前記ディレイ制御ポインタは、前記精密可変ディレイの遅延量を制御する精密ディレイ制御ポインタと、前記粗可変ディレイの遅延量を制御する粗ディレイ制御ポインタとを備え、

前記位相比較器は、相対的に高い分解能で位相を比較し、比較結果を前記精密ディレイ制御ポインタに供給する精密位相比較器と、該精密位相比較器の分解能より相対的に低い分解能で位相を比較し、比較結果を前記粗ディレイ制御ポインタに供給する粗位相比較器とを備える半導体装置。

【請求項38】 請求項27から37のいずれか1項に記載の半導体装置であつて、

前記クロックを分周し、分周比が可変である分周器を備え、

前記可変ディレイには前記分周器で分周された分周クロックが入力され、

前記位相比較器は、前記対象信号の前記分周クロックに対する位相を判定する半導体装置。

【請求項39】 請求項38に記載の半導体装置であつて、

前記分周器は、前記設定信号に応じて、当該分周器の分

周比を初期値にリセットする半導体装置。

【請求項40】 クロックを遅延させて遅延クロックを出力し、該遅延クロックの遅延量を調整して位相が前記クロックに対して第1の所定位相である入力タイミングクロックを発生させる入力タイミングクロック発生回路と、

前記入力タイミングクロックに同期して前記出力データをラッチする入力バッファとを備える半導体装置において、

前記クロックに同期して出力データを出力する出力バッファを備え、

前記入力タイミングクロック発生回路は、テストモード信号に応じて、前記入力タイミングクロックを前後にそれぞれ第2の所定位相ずらしたシフトクロックを発生させ、

前記入力バッファは、前記出力データを、前記シフトクロックに同期してラッチし、

該ラッチしたデータを測定データとして外部に出力する測定データ出力回路を備えることを特徴とする半導体装置。

【請求項41】 請求項40に記載の半導体装置であつて、

前記ラッチしたデータを前記出力データと比較する比較回路を備え、前記測定データ出力回路は、前記比較回路の比較結果を測定データとして出力する半導体装置。

【請求項42】 請求項40に記載の半導体装置であつて、

第2の所定位相は、外部から設定可能である半導体装置。

【請求項43】 請求項40又は41に記載の半導体装置であつて、

前記出力バッファは、前記出力データを当該半導体装置のデータ出力端子に出力し、

前記入力バッファは、前記データ出力端子に出力された前記出力データをラッチし、

前記測定データ出力回路は、前記測定データを、前記データ出力端子以外の当該半導体装置のデータ出力端子に出力する半導体装置。

【請求項44】 請求項40又は41に記載の半導体装置であつて、

前記出力バッファは、前記出力データを当該半導体装置のデータ出力端子に出力し、

前記入力バッファは、前記データ出力端子に出力された前記出力データをラッチし、

前記測定データ出力回路は、前記測定データを一旦記憶するレジスタを備え、

前記測定データを、前記データ出力端子に出力する半導体装置。

【請求項45】 請求項40から42のいずれか1項に記載の半導体装置であつて、

前記出力バッファは、当該半導体装置内で発生させた外部に出力しないダミー出力データを、ダミーデータ出力端子に出力し、

前記入力バッファは、前記ダミーデータ出力端子に出力された前記出力データをラッチする半導体装置。

【請求項46】 請求項45に記載の半導体装置であって、

前記測定データ出力回路は、前記測定データを、当該半導体装置のデータ出力端子に出力する半導体装置。

【請求項47】 クロックを遅延させて遅延クロックを出力し、該遅延クロックの遅延量を調整して位相が前記クロックに対して第1の所定位相である入力タイミングクロックを発生させる入力タイミングクロック発生回路と、

前記入力タイミングクロックに同期して前記出力データをラッチする入力バッファとを備える半導体装置において、

前記クロックを、テストモード信号に応じて、前後にそれぞれ第2の所定位相ずらしたシフトクロックを発生させる出力タイミングクロック発生回路を備え、

前記シフトクロックに同期して出力データを出力する出力バッファと、

前記入力バッファでラッチしたデータを測定データとして外部に出力する測定データ出力回路を備えることを特徴とする半導体装置。

【請求項48】 請求項47に記載の半導体装置であって、

前記ラッチしたデータを前記出力データと比較する比較回路を備え、前記測定データ出力回路は、前記比較回路の比較結果を測定データとして出力する半導体装置。

【請求項49】 請求項47に記載の半導体装置であって、

第2の所定位相は、外部から設定可能である半導体装置。

【請求項50】 請求項47又は48に記載の半導体装置であって、

前記出力バッファは、前記出力データを当該半導体装置のデータ出力端子に出力し、

前記入力バッファは、前記データ出力端子に出力された前記出力データをラッチし、

前記測定データ出力回路は、前記測定データを、前記データ出力端子以外の当該半導体装置のデータ出力端子に出力する半導体装置。

【請求項51】 請求項47又は48に記載の半導体装置であって、

前記出力バッファは、前記出力データを当該半導体装置のデータ出力端子に出力し、

前記入力バッファは、前記データ出力端子に出力された前記出力データをラッチし、

前記測定データ出力回路は、前記測定データを一旦記憶

するレジスタを備え、

前記測定データを、前記データ出力端子に出力する半導体装置。

【請求項52】 請求項47から49のいずれか1項に記載の半導体装置であって、

前記出力バッファは、当該半導体装置内で発生させた外部に出力しないダミー出力データを、ダミーデータ出力端子に出力し、

前記入力バッファは、前記ダミーデータ出力端子に出力された前記出力データをラッチする半導体装置。

【請求項53】 請求項52に記載の半導体装置であって、

前記測定データ出力回路は、前記測定データを、当該半導体装置のデータ出力端子に出力する半導体装置。

【請求項54】 クロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、

前記遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、前記対象信号の前記クロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号が前記クロックに対して所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記位相比較器は、テストモード信号に応じて比較動作を停止することを特徴とする半導体装置。

【請求項55】 前記クロックを分周し、分周比が可変である分周器と、

分周されたクロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、

前記遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、前記対象信号の前記分周されたクロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号が前記クロックに対して所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記分周器は、設定信号に応じて、分周比を初期値にリセットすることを特徴とする半導体装置。

【請求項56】 前記クロックを分周し、分周比が可変である分周器と、

分周されたクロックを遅延させて遅延クロックを出力し、遅延量が可変の可変ディレイと、

前記遅延クロックに応じて、タイミング調整の対象となる対象信号を生成するタイミング調整信号発生回路と、前記対象信号の前記分周されたクロックに対する位相の進み具合を比較する位相比較器と、

該位相比較器の比較結果に基づいて、前記可変ディレイにおける遅延量を制御するディレイ制御ポインタとを備え、前記対象信号が前記クロックに対して所定の位相になるように制御するクロックタイミング安定化回路を有する半導体装置において、

前記ディレイ制御ポインタの前記制御値を当該半導体装置の外部に読み出すポインタ値読み出し回路を備えることを特徴とする半導体装置。

【請求項57】 可変ディレイでクロックを遅延させ、該遅延されたクロックに対して第1の所定位相になるよう調整して入力タイミングクロックを発生させるディレイ・ロックド・ループを有する入力タイミングクロック発生回路と、

前記入力タイミングクロックに同期して前記出力データをラッチする入力バッファとを備える半導体装置のセットアップ／ホールド時間を測定する測定方法であって、テストモード信号に応じて、前記入力タイミングクロックを前後にそれぞれ第2の所定位相ずらしたシフトクロックを、前記半導体装置内で発生させ、

前記半導体装置内に設けた出力バッファから、前記クロックに同期して出力データを出力し、

前記入力バッファで、前記シフトクロックに同期して前記出力データをラッチし、

該ラッチしたデータを前記出力データと比較し、

該比較結果を測定データとして出力する工程を、前記第2の所定位相を変えて行うことを特徴とする半導体装置の測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディレイ・ロックド・ループ(Delay Locked Loop(DLL))などのクロックタイミング安定化回路(STC:Stabilized Timing Circuit)を有する半導体装置の試験回路に関し、特にこのような半導体装置での特性試験が容易に行えるような機構を内部に有する半導体装置に関する。

【0002】

【従来の技術】近年の半導体装置は、その高速化に伴い、外部クロックを内部に安定に供給するためにDLL／PLLなどのSTCを搭載するようになってきた。本出願人は、特願平8-213882号及び特願平8-245118号などで、DLLを使用したSTCを設けた半導体装置、特にシンクロナスDRAMにDLL回路を設けた構成を開示している。

【0003】図1は、DLL回路を使用したクロックタイミング安定化回路の従来例の構成を示す図である。この回路は、入力ラッチ17に供給する内部クロック信号(入力クロック)を外部クロックと同期させて、高精度で入力データを取り込む回路である。図1に示すように、外部クロックCLKは入力バッファ11で装置内に取り込まれる。取り込まれたクロックは、分周器12で

分周された後、可変ディレイ13と14、ディレイ制御ポインタ15、比較器16、ダミーラッチ18、及びダミー入力バッファ19で構成されるDLL回路に入力される。可変ディレイ13と14は、等価に作られており、ディレイ制御ポインタ15からの制御信号で遅延量が調整できるようになっている。ダミーラッチ18は、可変ディレイ14で遅延されたクロックに同期してダミーデータをラッチし、それがダミー入力バッファ19に入力され、比較器16に供給される。比較器16では、分周器12の出力とダミー入力バッファ19の出力の位相を比較し、分周器12の出力に対して、ダミー入力バッファ19の出力が進んでいるか遅れているかの比較結果をディレイ制御ポインタ15に出力する。ディレイ制御ポインタ15は、この比較結果に従って、分周器12の出力とダミー入力バッファ19の出力の位相が一致する方向に、可変ディレイ13と14の遅延量を変化させる。

【0004】入力バッファ11とダミー入力バッファ19は等価に作られており、分周器12の出力とダミー入力バッファ19の出力の位相が一致した時には、可変ディレイ14からダミーラッチ18に供給されるクロックは、外部クロックCLKと同じ位相であり、同期することになる。可変ディレイ13と14は等価であり、入力バッファ17に供給される内部クロック(入力タイミングクロック)も外部クロックCLKと同期することになり、高精度に同期したクロックで入力データを取り込めることになる。なお、図1では、入力ラッチ17とダミー入力ラッチ18に供給されるクロックは、分周器12の分ずれるが、このずれは無視できるものとした。もし無視できない時には、可変ディレイ13の前に、分周器12と等価な遅延を生じる素子を設ける。

【0005】このクロックタイミング安定化回路は、電源投入時に発生するスタート信号によりディレイ制御ポインタ15の制御値が初期値にリセットされ、その後クロックが入力されると位相比較を行い、自動的にディレイ値が調整される。ロックオン検出器20は、比較器16が比較する2つの信号の位相差が所定の範囲内に入ったことを検出した場合に、ディレイ値の調整が終了したことを示すロックオン信号を発生させる。

【0006】

【発明が解決しようとする課題】半導体装置では、入力データを取り込むタイミングなどについて仕様が定められており、製造の最終段階で製造した半導体装置がこのような仕様を満たすかがテストされる。上記のようなクロックタイミング安定化回路(STC)を有する半導体装置の場合には、STCを構成するDLL回路の試験が必要になる。

【0007】しかし、従来の半導体装置は、DLL回路の性能を測定することを想定しておらず、顧客の動作条件でDLL回路が確実に動作することを保証するのが困

難であった。例えば、D L L回路の特性として、電源投入後D L L回路がロックオンするまでの時間、条件の変動によりD L L回路がロックオン解除されてから再びロックオンするまでの時間、D L L回路がロックオンした時の可変ディレイの段数などがあるが、このような特性を検出することはできなかった。

【0008】また、クロックタイミング安定化回路を有する半導体装置は非常な高速動作が可能である。そのため、読み込みタイミングの前後で入力データが確定している必要のある時間である入力セットアップタイム／ホールドタイムなどの高精度なタイミング測定が必要な試験項目について、高性能のテストで測定する必要があり、試験コストの大幅な増加を招いていた。更に、半導体装置の動作速度が一層向上すると、高性能のテストであってもその測定能力を越えてしまい、測定が行えない事態になるのは明らかである。

【0009】更に、D L L回路がロックオンすると、位相比較の頻度を大幅に下げて電力削減することが考えられている。そのために、ダミークロックの信号経路に分周器が可変の分周器を設け、ロックオンするまでは低い分周比で分周を行い、ロックオン後は高い分周比に切り換えることにより、位相比較の頻度を変えていた。パワーダウンリセットサイクルやセルフリフレッシュサイクルなどに入ったりそのサイクルから抜け出す時には、位相比較の頻度を低い分周比に戻すが、従来のD L L回路では、分周器内部の状態を初期化する機能がないため、元に戻して何クロック後に位相比較が開始されるか分からなかった。そのため、分周比の低い状態から元に戻した1クロック目で位相比較を開始してしまうと、D L L回路の電源電圧などが安定しないうちに、位相比較してしまるために正確な比較ができなかった。

【0010】本発明は、このような問題点を解決するためのもので、D L L回路に関係する特性およびD L L回路を使用することにより動作速度を向上させた場合に難しかった特性の測定が容易に行えるようにした半導体装置及びその試験方法を実現することを目的とする。

【0011】

【課題を解決するための手段】上記目的を実現するため、本発明の半導体装置は、D L L回路で構成されるクロックタイミング安定化回路を有する半導体装置において、(1)可変ディレイの遅延量を制御するディレイ制御ポインタの制御値を所望の初期値に設定できるようにする機能、(2)位相比較器の比較動作を一時的に停止させる機能、(3)D L L回路がロックオンしたことを外部に出力する機能、(4)ディレイ制御ポインタの制御値を外部に出力する機能、及び(5)内部にデータ出力回路を設けるか又は既存の出力回路を使用して出力データを出力できるようにし、それを入力回路で取り込んで出力データと比較できる機能を設ける。また、消費電力を削減するため、分周比が可変の分周器を設ける場合

には、(6)位相比較の頻度を変える場合には、分周器の分周比を所定の値、例えば小さな分周比に戻す機能が必要である。また、上記の(1)のディレイ制御ポインタの制御値を所望の初期値に設定できるようにする機能は、更に、(1A)あらかじめ決まっている所定の初期値に設定する機能と、(1B)外部から入力する任意の初期値に設定する機能がある。

【0012】上記のロックオンするまでの時間に関する課題については、可変ディレイを所定の状態に設定してからロックオンするまでの時間を測定する必要があるが、上記の(1A)又は(1B)の機能で可変ディレイを所定の状態に設定した後、D L L回路の位相調整動作を開始させ、(3)の機能によりロックオンしたことを見出す信号が出力されるまでの時間を検出する。この場合、正確な測定を行うためには、(2)、(4)及び(6)の機能が必要である。(4)の機能により、設定したディレイ制御ポインタの制御値を確認でき、(2)の機能により、可変ディレイを所定の状態に設定した後クロックを再び入力してから、所定のクロック数後に位相比較が開始されることを保証できる。

【0013】また、上記の分周器に関する課題は、(2)と(3)の機能を通常動作でも働かせることにより解決される。更に、入力セットアップタイム／ホールドタイムなどを高精度に測定する課題については、(3)と(4)の機能により可変ディレイの1段分の遅延時間を正確に検出した上で、(1B)の機能により入力タイミングクロックのタイミングを順に変化させながら(5)の機能で取り込んだデータと出力データの関係を調べる。これにより、測定結果の検出は低速でも行えるようになり、高性能のテストを使用する必要はない。

【0014】また、半導体装置の特性テストでは、クロックの周波数を変化させながら行うテストが存在するが、このようなテストを行う場合、従来のD L L回路では自動的にフィードバック制御が行われて、ディレイ制御ポインタの制御値が変化してしまう。このテストは、周波数を変化させながら行うテストであり、テスト中はディレイ制御ポインタの制御値は変化しないことが必要である。(1)の機能や(2)の機能を使用すれば、このようなテストが行えるようになる。

【0015】(1A)の機能は、例えば、パワーオンリセット信号又はテストモード信号に応じて、リセット信号を所定期間発生させるリセット信号発生回路を設け、ディレイ制御ポインタの制御値が規定する回路部分をリセット信号線に接続することにより実現できる。また、この(1A)の機能に加えて、位相比較器が外部信号により、ディレイ制御ポインタの値を増加又は減少させる比較結果を出力できるようにすれば、(1B)の機能が実現できる。

【0016】また、(1B)の機能は、ディレイ制御ポインタの制御値を規定する回路部分に、外部から直接所

定の値を書き込めるようにすることでも実現できる。可変ディレイは遅延要素を多数段に接続した構成であり、その位置を指定するディレイ制御ポインタの制御値も多数の位置を指定できることが必要である。そのため、設定する値はシリアルデータで入力することが望ましく、シリアルデータの設定する値をシフトレジスタでパラレルデータに変換した後、ディレイ制御ポインタに書き込む。また、設定する値をコード化して入力し、それをデコーダで変換した後、設定するようにしてもよい。

【0017】また、(1B)の機能は、従来のD L L回路に、可変ディレイの前又は後に、遅延量が外部から設定可能な調整ディレイを設けることでも実現できる。この場合は、D L L回路で制御される位相からずらす量が任意に設定できることになる。同様の理由で、(4)の機能を実現する場合には、ディレイ制御ポインタの制御値をラッチ回路でラッチした後、シフトレジスタでシリアルデータに変換して出力することが望ましい。この場合も、ディレイ制御ポインタの制御値をエンコーダでコード化してから外部に出力するようにしてもよい。更に、可変ディレイは複数個あり、ディレイ制御ポインタも複数個ある場合で、ディレイ制御ポインタの制御値の差が必要な時には、内部に制御値の差を演算する演算回路を設け、その演算結果を出力する。例えば、 0° D L L回路と他のD L L回路のディレイ制御ポインタの制御値の差を演算したり、複数のD L L回路のうち最大の段数を有する可変ディレイと他のD L L回路のディレイ制御ポインタの制御値の差を演算したり、 180° D L L回路と他のD L L回路のディレイ制御ポインタの制御値の差を演算して出力する。

【0018】(2)の機能は、位相比較器がリセット信号などに応じて比較動作を停止するようにすることで実現できる。(3)の機能は、D L L回路のロックオン信号を外部に出力するようにすることで実現できる。D L L回路が複数個ある場合には、各D L L回路のロックオン信号の論理積を算出して半導体装置のロックオン信号としたり、最大の段数の可変ディレイを有するD L L回路のロックオン信号を、半導体装置のロックオン信号とする。

【0019】本出願人が特願平9-142441号で開示しているような、可変ディレイを1段の遅延量が相対的に大きな粗ディレイと、これに比べて1段の遅延量が小さな精密ディレイを組み合わせて、遅延量の変化範囲が大きく且つ細かな変化が可能であるD L L回路を使用する場合には、ディレイ制御ポインタ及び位相比較器もそれぞれ精密用と粗用の2つずつ設けられ、ポインタ位置制御回路も精密用と粗用の2つ設ける。

【0020】この場合、ロックオン信号は、粗D L L回路と精密D L L回路の両方がロックオンした時に、ロックオン信号が発生されるようにすることが望ましい。しかし、クロックにジッタがある場合には、精密D L L回

路がロックオンすることがない場合があり得る。このような場合には、粗ロックオン信号が出力された後所定時間経過後も精密ロックオン信号が出力されない時にはロックオンしたとみなすようにしてもよい。これでも、発生される遅延クロックの位相のズレは、粗可変ディレイの1段の遅延量より小さい。

【0021】(5)の機能は、分周比が可変である分周器を設けて、そこで分周された分周クロックを可変ディレイに入力する場合に、分周器は、リセット信号などの設定信号に応じて、分周比を初期値にリセットするようにして実現できる。またこのようなD L L回路を入力タイミングクロック発生回路に応用し、D L L回路はダミー用とし、D L L回路のダミー用可変ディレイと並行に等価な可変ディレイを設け、ダミークロックで位相を比較して、その比較結果で実際の入力タイミングクロックとして使用されるクロックの位相を調整する構成が、前記の特願平8-245118号などに開示されている。この構成で(1A)及び(1B)の機能を実現するには、ディレイ制御ポインタは、可変ディレイの遅延量を制御する通常ディレイ制御ポインタと、ダミー可変ディレイの遅延量を制御するダミーディレイ制御ポインタを別々に設け、それぞれの制御値を独立に所定の値に設定できるようにする。

【0022】例えば、(1A)の機能により通常ディレイ制御ポインタとダミーディレイ制御ポインタの制御値を所定の値に設定した後、位相比較器が、比較動作を停止している間に、外部信号により通常ディレイ制御ポインタとダミーディレイ制御ポインタの値を増加又は減少させる比較結果を出力できるようにすれば、タイミングクロックとして使用される通常クロックとダミークロックの位相差を、可変ディレイの1段当たりの遅延量を単位として任意の設定できる。

【0023】また、通常ディレイ制御ポインタとダミーディレイ制御ポインタの制御値を独立に任意の値に設定できるようにすれば、通常クロックとダミークロックの位相差を任意に設定できる。この場合も、通常ディレイ制御ポインタとダミーディレイ制御ポインタの制御値を外部に読み出せることが望ましい。前述のように、可変ディレイを精密ディレイと粗ディレイで構成する場合には、同様に、それぞれ独立に遅延量が設定できるようにする。

【0024】また、可変ディレイの前又は後に調整ディレイを設け、ダミー可変ディレイの前又は後にダミー調整ディレイを設け、それらの遅延量を設定できるようすれば、通常クロックとダミークロックの位相差を任意に設定できる。この場合、調整ディレイとダミー調整ディレイの一方は遅延量が外部から設定可能で、他方は遅延量が固定でもよい。また、固定の方の遅延量は、他方のディレイの段数がゼロに設定された時の遅延量に等しいか、他方のディレイの総段数の約半分の段数に設定さ

れた時の遅延量に等しくする。固定の方の遅延量が他方のゼロ段に設定されていれば、他方の遅延量は遅れる方向にのみ調整可能であり、固定の方の遅延量が他方のディレイの総段数の半分の遅延量に設定されれば、遅延量が増加する方向と減少する方向の両方に等しい範囲調整可能である。

【0025】前述のように、(1B)の機能により入力セットアップタイム／ホールドタイムなどを高精度に測定することが可能になるが、その場合、クロックに同期して出力データを出力する出力バッファを設け、DLL回路はテストモード信号に応じて入力タイミングクロックを前後にそれぞれ第2の所定位相ずらしたシフトクロックを発生させるようにし、入力バッファは出力データをシフトクロックに同期してラッチし、ラッチしたデータを測定データとして外部に出力する測定データ出力回路を設ける。また、出力データを出力するタイミングクロックを発生する出力タイミングクロック発生回路に(1B)の機能を設け、出力データがクロックを前後にそれぞれ第2の所定位相ずらして出力できるようにしてもよい。

【0026】これであれば、半導体装置で発生する出力データで測定が行えるので、出力データとクロックの同期ずれを考慮する必要がなく、測定データを分周して出力すれば高性能のテスタを使用する必要がない。また、半導体装置内にラッチしたデータと出力データの比較を行うための比較回路を設け、比較結果を測定データとして出力すれば、更に測定が容易であり、特別なテスタが必要なくなるので、使用されている状態でテストモード中に測定を行うことも可能になる。出力バッファは、出力データを半導体装置の実際に使用されているデータ出力端子に出力し、入力バッファはここに出力された前記出力データをラッチする。測定中に測定データを出力するためには、測定データをそのデータ出力端子以外のデータ出力端子に出力する必要がある。測定データを一旦レジスタに記憶するのであれば、測定が終了した後、そのデータ出力端子から測定データを出力することができる。また、出力バッファは、半導体装置内から外部に出力しないダミー出力データを、ダミーデータ出力端子に出力するようにしてもよい。

【0027】更に、このような半導体装置の入力セットアップタイム／ホールドタイムを測定する方法においては、外部からシフトクロックのずれを変化させながら比較結果を確認する動作を行い、比較結果の変化するずれを入力セットアップタイム／ホールドタイムとする。

【0028】

【発明の実施の形態】図2は、本発明の第1実施例のクロックタイミング安定化回路の構成を示す図である。第1実施例は入力タイミングクロック発生回路(入力タイミング安定化回路)に本発明を適用した実施例である。図2に示すように、第1実施例の回路は、外部クロック

CLKが入力され、内部クロック(ここでは内部クロックもCLKで表す。)を出力する入力バッファ11と、内部クロックを分周する分周器12と、内部クロックを精密ディレイ制御ポインタ22の制御値で指示された量だけ遅延させる精密ディレイ21と、精密ディレイ21の出力を粗ディレイ制御ポインタ32の制御値で指示された量だけ遅延させる粗ディレイ31と、粗ディレイ31の出力する入力タイミングクロックに同期して入力データをラッチする入力ラッチ17と、分周された分周クロックをダミー精密ディレイ制御ポインタ24の制御値で指示された量だけ遅延させるダミー精密ディレイ23と、ダミー精密ディレイ23の出力をダミー粗ディレイ制御ポインタ34の制御値で指示された量だけ遅延させるダミー粗ディレイ33と、ダミー粗ディレイ33の出力するダミー入力タイミングクロックに同期してダミーデータをラッチするダミー入力ラッチ18と、ダミー入力ラッチ18のラッチしたダミーデータを出力するダミー出力バッファ19と、分周クロックとダミー出力バッファ19の出力の位相を比較する精密比較回路25及び粗比較回路25と、分周クロックとダミー出力バッファ19の出力の位相差が所定の値以下になったことを精密比較回路25及び粗比較回路25が検出した時に、精密ロックオン信号と粗ロックオン信号をそれぞれ発生する精密ロックオン検出回路41及び粗ロックオン検出回路42と、精密ロックオン信号と粗ロックオン信号からロックオン信号を発生するロックオン信号発生回路43と、電源投入時に発生するスタート信号及びテストモード信号に応じてリセット信号を発生するリセット信号発生回路44とを有する。ダミー出力バッファ19は、入力バッファ11と同等の構成を有しており、そこで生じる遅延は等しい。

【0029】図2の構成は、図1の従来の構成で、可変ディレイ13と14がそれぞれ精密用と粗用に分かれしており、それに応じてディレイ制御ポインタ15及び比較器16も精密用と粗用に分けたものである。また、ディレイ制御ポインタを、入力タイミングクロックを発生する通常用可変ディレイとダミー用可変ディレイに別々に設けて、通常用可変ディレイとダミー用可変ディレイを別々の制御値に設定できるようにしている。具体的には、精密ディレイ回路21、粗ディレイ回路31、ダミー精密ディレイ回路23及びダミー粗ディレイ回路33の遅延量を制御するために、精密ディレイ制御ポインタ22、粗ディレイ制御ポインタ32、ダミー精密ディレイ制御ポインタ34及びダミー粗ディレイ制御ポインタ34が設けられている。精密ディレイ制御ポインタ22とダミー精密ディレイ制御ポインタ34は、精密比較回路25の比較結果に基づいて制御値が変化するので、通常の動作では制御値を同じように変化する。同様に、粗ディレイ制御ポインタ32とダミー粗ディレイ制御ポインタ34も、粗比較回路35の比較結果に基づいて制御

値が変化するので、通常の動作では制御値を同じように変化する。

【0030】図3は、第1実施例の粗位相比較回路35の比較部と粗ロックオン検出回路45の構成を示す図であり、精密位相比較回路25の比較部と精密ロックオン検出回路41も類似の構成を有する。この回路は、前述の特願平8-213882号に開示されている回路であり、ここでは詳しい説明は省略するが、基本的な動作について簡単に説明する。この回路は、分周器12の出力する分周クロックCを基準として出力バッファ19の出力Eの位相を判定する回路であり、その動作論理値を図4に示す。 ϕa が“高(H)”から“低(L)”に変化する時点では、信号Eが信号Cに対して位相が進んでいる時には、 ϕb が“H”、 ϕc が“L”、 ϕd が“H”、 ϕe が“L”になり、信号Eが信号Cに対してほぼ同じ位相の時には、 ϕb が“L”、 ϕc が“H”、 ϕd が“H”、 ϕe が“L”になり、信号Eが信号Cに対して位相が遅れている時には、 ϕb が“L”、 ϕc が“H”、 ϕd が“L”、 ϕe が“H”になる。また、NANDゲート51はロックオン信号検出回路に相当し、その出力JSTは、 ϕc と ϕd を入力とするもので、信号Eが信号Cに対してほぼ同じ位相の時に“L”になり、それ以外の時には“H”になる。なお、特願平9-142441号に開示されているように、精密位相比較回路25の比較部は、若干のゲート回路を追加することにより、小さなずれでも遅れているか進んでいるかの判定ができるようになっている。

【0031】図5は、第1実施例の粗位相比較回路35の増幅部の構成を示す図であり、同様に、特願平8-213882号に開示されている回路であり、ここでは詳しい説明は省略するが、基本的な動作について簡単に説明する。この回路は、図3の比較部の出力する ϕa から ϕe の信号を受けて、ディレイ制御ポインタへ出力する比較結果 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE を発生する回路であり、精密位相比較回路25の増幅部も同様の構成を有する。図2に示したように、本実施例では、粗ディレイ制御ポインタ32とダミー粗ディレイ制御ポインタ34が設けられており、図4の粗位相比較回路35の増幅部は、粗ディレイ制御ポインタ32に出力する通常用と、ダミー粗ディレイ制御ポインタ34に出力するダミー用の比較結果をそれぞれ発生させる。通常の動作においては、信号Eが信号Cに対して位相が進んでいる時には、 ϕSO と ϕSE が変化し、 ϕRO と ϕRE は“L”に固定され、信号Eが信号Cに対してほぼ同じ位相の時には、 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE がすべて“L”になり、信号Eが信号Cに対して位相が遅れている時には、 ϕSO と ϕSE が“L”に固定され、 ϕRO と ϕRE が変化する。

【0032】また、通常用比較結果を発生させる上半分の回路には、P、Q、Rの端子が設けられており、これ

らの端子には図2の粗シフト信号が入力され、粗シフト信号を制御することにより、ディレイ制御ポインタの制御値を増加又は減少させる比較結果を発生させることができる。粗シフト信号は、通常“L”に固定されており、遅延量を増加させるように変化させる時には、Qを“H”に、Rを“L”にした上でPにテスト用シフトクロックを入力させると、信号Eが信号Cに対して位相が遅れている時の比較結果、すなわち、 ϕSO と ϕSE が“L”に固定され、 ϕRO と ϕRE が変化する。また、遅延量を減少させるように変化させる時には、Qを“L”に、Rを“H”にした上でPにテスト用シフトクロックを入力させると、信号Eが信号Cに対して位相が進んでいる時の比較結果、すなわち、 ϕSO と ϕSE が変化し、 ϕRO と ϕRE が“L”に固定される状態になる。

【0033】更に、シフトレジスタ52は、クロックCLKに同期して、リセット信号に対応した信号を発生させる回路で、リセット信号が出力されている時には粗位相比較回路35の増幅部での比較結果の発生を停止して、 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE がすべて“L”になり、リセット信号が出力されていない時には上記の動作を行う。

【0034】図6は、粗ディレイ回路31又はダミー粗ディレイ回路33の構成と動作を説明する図であり、図7は粗ディレイ制御ポインタ32又はダミー粗ディレイ制御ポインタ34の構成を示す図であり、同様に、特願平8-213882号に開示されている回路であり、ここでは詳しい説明は省略するが、基本的な動作について簡単に説明する。ディレイ回路は、図6の(1)及び(3)に示すように、NANDゲート401と402及びインバータ403で構成される1段分の回路が多数接続されている。 ϕE は1つ又は隣接する2つのみが“H”になり、“H”になった段のNANDゲート401が通過状態になり、通過状態になる段の位置により入力INが出力OUTとして出力されるまでの段数が異なり、遅延量が変化する。なお、精密ディレイ制御ポインタ22又はダミー精密ディレイ制御ポインタ24の構成は図7の構成であるが、精密ディレイ回路21又はダミー精密ディレイ回路23の構成は、上記の特願平9-142441号に開示されているように、各段の遅延量が小さく設定されている。

【0035】図7のディレイ制御ポインタは、位相比較回路の比較結果 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE に応じて、 ϕE を“H”にする位置を変化させる。すなわち、 ϕSO と ϕSE が“L”に固定され、 ϕRO と ϕRE が変化する時には、 ϕE の位置を右に移動させて遅延量を増加させ、 ϕRO と ϕRE が“L”に固定され、 ϕSO と ϕSE が変化する時には、 ϕE の位置を左に移動させて遅延量を減少させ、 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE がすべて“L”的時には、 ϕE の位置を動かさず、遅延

量を変化させない。

【0036】各段の状態は2個のインバータで構成されるフリップフロップで保持されるが、このフリップフロップの両端はそれぞれトランジスタを介してグランドに接続されており、いずれのトランジスタを導通させることによりフリップフロップの状態が設定できるようになっている。図示のようにリセット信号線とグランド線が設けられており、各段の一方のトランジスタのゲートはリセット信号線に、他方はグランド線に接続されており、右側のトランジスタのゲートがリセット信号線に接続されている段のフリップフロップは、リセット信号が“H”になると、その段の ϕE が“H”になる。ここでは、リセット信号が outputされると、3番目と4番目の ϕE が“H”になるように接続されている。この接続は製造段階であらかじめ設定されている。

【0037】ここで、前述のように、図5の位相比較回路では、シフト信号P、Q及びRにより、 ϕE の位置を左又は右に移動させるように、比較結果 ϕSO 、 ϕSE 、 ϕRO 、 ϕRE を変化させることが可能である。従って、リセット信号で所定の位置の ϕE のみを“H”にした後、シフト信号P、Q及びRにより ϕE の位置を左又は右に移動させることで、ディレイ回路の遅延量を所望の値に変化させることができる。

【0038】また、各段のフリップフロップの状態を読み出すために、スイッチ411とシフトレジスタ412が設けられている。スイッチ411は、通常は導通状態にあり、各段をフリップフロップの状態を読み出す時には、位置ラッチ信号を“L”に変化させ、その時の各段のフリップフロップの状態をシフトレジスタ412に記憶する。位置ラッチ信号を“L”に保持したままポインタ位置読出クロックを印加すると、シフトレジスタ412は記憶した各段のフリップフロップの状態をシリアルデータに変換してポインタ位置信号PPSとして外部に出力する。図2では、精密ディレイ制御ポインタ22のポインタ位置信号をFPPS、ダミー精密ディレイ制御ポインタ24のポインタ位置信号をDFPPS、粗ディレイ制御ポインタ32のポインタ位置信号をRPPS、ダミー粗ディレイ制御ポインタ34のポインタ位置信号をRFPPSで示している。なお、図2では、位置ラッチ信号とポインタ位置読出クロックは省略している。このようにして各ディレイ制御ポインタの制御値が読み出せるようになっている。

【0039】図8は、ロックオン信号発生回路43の構成を示す図であり、(1)が回路構成を、(2)がその動作タイムチャートを示す。この回路は、精密位相比較回路25と粗位相比較回路35にそれぞれ設けられた、図3に示したNANDゲート51が出力する精密ロックオン信号JSTと粗ロックオン信号JSTから半導体装置としてロックオン信号を発生させる回路である。精密JSTと粗JSTはそれぞれロックオン状態で“L”に

なる信号である。精密位相比較回路25の方が、粗位相比較回路35より小さな位相ずれを検出可能であるため、クロックタイミング安定化回路の起動後粗JSTの方が先にロックオン、すなわち“L”になる。また、ロックオンしている状態から、クロックのジッタなどによりロックオンしない状態になる場合には、精密JSTと粗JSTが同時に、又は精密JSTの方が先に“H”になる。図8のロックオン信号発生回路は、ロックオンしていない状態からロックオンする時には、粗JSTが“L”になり、更に精密JSTが“L”になった状態の時にロックオン信号を発生させる。一度ロックオンすると、精密JSTが“H”になつてもロックオン信号は解除されず、粗JSTも“H”になるとロックオン信号が解除される。

【0040】図9は、リセット信号発生回路44の構成を示す図である。この回路は、電源電圧レベル判定回路の判定信号で、電源投入時に発生されるスタート信号が入力された後、クロックCLKを所定数カウントするとリセット信号を“L”にして、DLL回路の動作を開始させる回路であり、テストモード信号によっても強制的にリセット信号を“H”にして、DLL回路の動作をリセットさせることができる。

【0041】図10は、分周器12の構成を示す図である。図において、参照番号53、55から60で示す分周器D1と、54で示す分周器D2は、それぞれ1/2分周器であり、分周器D1の構成を図11に、分周器D2の構成を図12に示す。また、分周制御回路61の構成を図13に示す。ロックオン発生回路43は、図2に示したものである。分周リセット回路62は、パワーダウン信号、セルフリフレッシュ信号及びテストモード信号に応じて、分周リセット信号と分周停止信号を発生させる回路で、図2では分周リセット回路62は他の部分に設けられており、分周リセット信号と分周停止信号が入力されるように示している。図示のように、1/2分周器D1とD2が8個直列に接続されており、1段目のD1はクロックCLKを受けて1/2分周した出力Fを2段目のD2に出力し、出力Gを分周制御回路61に出力する。また、2段目のD2は、出力AとCをダミーDLI回路に出力し、出力Hを3段目のD1に出力する。3段目のD1から7段目のD1は、前段の出力をCLKとして受け、1/2分周したFを次段に出力する。8段目のD2は、出力AとCをダミーDLI回路に出力すると共に、出力Hを分周制御回路61に出力する。2段目と8段目のD2の出力AとCは、分周制御回路61の信号Iで制御され、Iが“H”であれば2段目のD2から、Iが“L”であれば8段目のD2から出力される。1段目に入力されるクロックCLKは順次1/2分周され、最終段の出力は1/256分周されることになる。1/2分周器D1とD2は、それぞれ分周停止信号で動作を停止すると共に、初期化される。

【0042】分周制御回路61は、ダミー精密ディレイ回路23に出力する分周クロックAと、精密位相比較回路25と粗位相比較回路35に出力する分周クロックCを、2段目の1/2分周器D2の出力する1/4分周クロックとするか、8段目の1/2分周器D2の出力する1/256分周クロックとするかを制御する回路である。ロックオン信号が解除されている場合には、信号Iが定的に“H”になり、分周器の出力(A, C)は1/4分周で出力される。この時、8段目の1/2分周器D2は1/256分周クロックの出力を停止する。ロックオン状態であれば、信号d3(F)からd8(H)

“H”になった時点で信号Iが“L”となるため、分周器の出力(A, C)は1/256分周で出力される。

【0043】分周リセット信号はロックオン状態を一時的に解除する信号であり、分周リセット信号が“H”になると信号Iが“H”になり分周器の出力(A, C)は1/4分周で出力されるが、分周リセット信号が“H”になると直ちに信号Iが“L”になり分周器の出力(A, C)は1/256分周で出力される。パワーダウン及びセルフリフレッシュサイクルの入った時又はそれから抜け出した時に、分周停止信号と分周リセット信号を“H”にすれば、分周器12は動作を停止し、内部が初期化される。その後、分周停止信号を“L”にすれば4クロック後に位相比較が開始される。これはテストモード信号についても同様である。この4クロックの間、精密位相比較回路25と粗位相比較回路35には分周クロックが供給されないので比較動作は行われず、4クロックが経過して安定した後、精密位相比較回路25と粗位相比較回路35での比較動作が開始される。

【0044】次に、第1実施例の入力クロックタイミング安定化回路を有する半導体装置において、入力セットアップ／ホールドタイムを測定できるようにするための測定回路を説明する。図14は、第1実施例の入力クロックタイミング安定化回路を有する半導体装置に、入力セットアップ／ホールドタイムを測定するために設けた測定回路の構成を示す図である。図において、入力クロックタイミング安定化回路76が、これまで説明した第1実施例の回路である。入力バッファ77は、パッド75に入力された入力データを、入力クロックタイミング安定化回路76の出力する入力クロックICLKでラッピングする。この構成は、半導体装置に当然備わっている。また、半導体装置ははらかの出力を行うが、この半導体装置は出力タイミングについても第1実施例で説明したようなDLI回路を有する出力クロックタイミング安定化回路72を有しているとする。入力クロックタイミング安定化回路76からは、出力クロックタイミング安定化回路72にクロックCLKが供給される。この実施例では、出力クロックタイミング安定化回路72の出力する出力クロックPCLKに応じてダミー出力データD-DQを発生させるダミーデータ発生回路73と、ダミー

出力データD-DQを出力クロックタイミング安定化回路72の出力する出力クロックOCLKに同期してパッド75にD-DQOとして出力するダミー出力バッファ74と、ダミー出力データD-DQを出力クロックPCCLKに同期してシフトさせるシフトレジスタ78と、シフトレジスタ78の出力SDをクロックRE-CLKとRO-CLKに同期して分周する分周器79と、入力バッファ77でラッピングした入力データDinをクロックPE-CLKとPO-CLKに同期して分周する分周器80と、分周器79の出力E-OUT及びO-OUTと、分周器80の出力E-in及びO-inとを比較する比較器81と、データ出力パッド83に出力する信号を、分周器80の出力E-in及びO-inと比較器81の出力する比較結果と通常の出力データDQとの間で選択するセレクタ82とを有する。

【0045】図15はダミー出力バッファ74の構成を示す図であり、図16はシフトレジスタ78の構成を示す図であり、図17は1/2分周器80の構成を示す図であり、図18は比較器81の構成を示す図であり、図19は図14の測定回路の動作を示すタイムチャートである。図15から図18に示した回路はよく知られている構成であり、ここでは詳しい説明は省略する。以下、図14の測定回路の動作を、図19のタイムチャートを参照しながら説明する。

【0046】この例では、データはクロックの半周期で変化するで変化するダブル・クロック・レートの信号であるとする。入力タイミング安定化回路76は、外部クロックCLKを取り込み、それを出力クロックタイミング安定化回路72に出力すると共に、外部クロックCLKと位相の一致した入力クロックICLKを発生させる。この時、ICLKの1つおきの信号で相互にずれたクロックPE-CLKとPO-CLKも発生させる。すなわち、PE-CLKは外部クロックCLKの立ち上がりエッジにパルスを有する信号で、PO-CLKは外部クロックCLKの立ち下りエッジにパルスを有する信号である。このような信号を生成する回路は、公知であるので、ここでは説明を省略する。入力バッファ77から出力される入力データDinは、ダブルクロックレートのデータであるから、分周器80でクロックPE-CLKとPO-CLKに同期してE-inとD-inの通常のクロックレートの2つのデータに変換される。

【0047】出力クロックタイミング安定化回路72は、外部クロックCLKから出力クロックPCLK及びそれを少し遅延させたOCLKを発生させ、ダミーデータ発生回路73、ダミー出力バッファ74及びシフトレジスタ78に出力する。これに応じて、ダミーデータ発生回路73は測定に適したダミー出力データD-DQを発生させる。ダミー出力バッファ74は、OCLKに同期してダミー出力データD-DQをパッド75にダミー出力D-DQOとして出力する。この時、ダミー出力D

-DQOは外部クロックCLKの変化エッジに同期して変化するようになる。パッド75に出力されたダミー出力D-DQOは入力バッファ77に入力データDiとして入力され、入力バッファ77はこれを入力クロックI CLKに同期して取り込む。

【0048】一方、シフトレジスタ78では、ダミー出力データD-DQが、外部クロックの半周期分遅延された後、分周器79で上記と同様にクロックRE-CLKとRO-CLKに同期して通常のクロックレートの2つのデータE-outとD-outに変換される。従って、E-out及びD-outは読み込みタイミングに関係しないダミー出力データをシフトさせた信号なので、E-in及びD-inはE-out及びD-outと比較すれば、ダミー出力データの変化エッジの前後どちらのデータを取り込んだかが分かる。この比較を行うのが、比較器81であり、比較結果T、U、V及びWが出力される。この比較結果及びE-inとO-inは、DQパッド83を介して外部に出力されるが、同時には出力できず、また、DQパッド83は通常は出力データの出力に使用されるので、セレクタ82で外部から指示した信号に従っていずれかを選択して外部に出力する。

【0049】ここで、入力クロックI CLKもダミー出力D-DQOも共に外部クロックCLKの変化エッジで変化するので、そのまま取り込んだのでは変化する前後のどちらのデータを取り込むか不定である。ここで、すでに説明した入力クロックタイミング安定化回路76の入力クロックI CLKのタイミングを任意の時間ずらす機能を使用して、外部からの指示データにより入力クロックI CLKを前後にすこしずつずらして読み込み、取り込んだデータの比較結果を得る。入力クロックI CLKを遅らせる場合、遅延量が大きくなるほど変化後のデータが安定して取り込めるが、安定して取り込める最小の遅延量が入力セットアップタイムに相当する。また、入力クロックI CLKを進める場合、進める量が大きくなるほど変化前のデータが安定して取り込めるが、安定して取り込める最小の量が入力ホールドタイムに相当する。このような測定を各種の条件で行うことにより、入力セットアップタイム／ホールドタイムが測定できる。

【0050】上記の測定回路では、入力セットアップタイム／ホールドタイムを測定するために、本発明の機能を使用して入力クロックの位相を前後にシフトさせたが、出力ロックタイミング安定化回路72に同様の機能を持たせて出力データの位相を前後にシフトさせるようにしても同様に入力セットアップタイム／ホールドタイムが測定できる。

【0051】また、上記の測定回路では、測定のためのダミー出力データを通常のデータの入力に使用される入力バッファ77を使用したが、この代わりにダミー入力バッファを使用することも可能である。また、次に説明するように、ダミー出力バッファの代わりに出力バッフ

アを使用して測定のための出力データを出力することも可能である。

【0052】図20は、図14に示した測定回路の他の構成例を示す図である。図14の測定回路では、出力データをダミー出力バッファ74から出力し、測定結果はデータ出力パッドから出力したが、図20の測定回路では出力データを出力バッファ84から出力する。この場合、出力バッファ84の出力先であるデータ出力パッド85は既に使用されているため、測定結果をここから出力することができない。そこで、図20の測定回路では、測定結果である比較結果と分周器80の出力を一旦レジスタ86に記憶し、測定が終了した後、レジスタ86に記憶した測定結果を出力バッファ84からデータ出力パッド85に出力する。

【0053】図21は、測定回路の更に他の構成例を示す図である。この測定回路では、ある出力バッファ84から対応するデータ出力パッド85に出力データを出力し、入力バッファ77がこれを取り込んで比較を行うが、その測定結果は、他の出力バッファ88から他のデータ出力パッド90に出力する。これであれば、測定を行なながら測定結果を出力できるので、レジスタは必要ない。

【0054】図22は、第2実施例の入力クロックタイミング安定化回路の構成を示す図である。第1実施例と異なるのは、各ディレイ制御ポインタの制御値を外部から直接設定できる点と、ロックオン信号発生回路43の構成である。以下、第1実施例と異なる点についてのみ説明する。図23は、第2実施例のディレイ制御ポインタの構成を示す図である。参照番号91で示す部分が、図7のスイッチ411とシフトレジスタ412を除く部分に相当する。スイッチ92及びデコーダ94が、ディレイ制御ポインタの制御値を外部から設定するための部分であり、ラッチ95及びエンコーダ97が、ディレイ制御ポインタの制御値を外部に読み出すための部分である。

【0055】例えば、可変ディレイが64段である場合、ディレイ制御ポインタのEも64個あり、そのうちのいずれか1個又は隣接した2個を他と異なった状態に設定する。従って、これを設定するためのデータはコード化すれば6ビットのデータとして表せる。そこで、第2実施例では、半導体装置に入力するディレイ制御ポインタの制御値の設定値をコード化して入力する。この入力は6ビットのパラレルデータとして入力しても、シリアルデータとして入力てもよい。コード化された設定値データは、デコーダ94で64個の出力のうちいずれか1個又は隣接した2個を他と異なった状態にするデータに変換され、ディレイ制御ポインタの64段のフリップフロップをそのデータに対応した状態に設定する。

【0056】ディレイ制御ポインタの制御値を外部に読み出す場合も同様に、ラッチ95はディレイ制御ポイン

タの64段のフリップフロップの状態をラッチする。エンコーダはこれを6ビットのデータにコード化して外部に出力する。なお、第1実施例では、ディレイ制御ポインタの制御値を外部に読み出す場合にシフトレジスタを使用してパラレルデータをシリアルデータに変換したが、ディレイ制御ポインタの制御値を外部から設定する場合にも、同様に、外部からシリアルデータの形で設定値を入力し、シフトレジスタでパラレルデータに変換した後、スイッチを介して設定するようにすることも可能である。

【0057】なお、図22では、精密ディレイ制御ポインタ22、ダミー精密ディレイ制御ポインタ24、粗ディレイ制御ポインタ32及びダミー粗ディレイ制御ポインタ34の制御値を設定するポインタ制御信号をSPCS、DSPCS、RPCS及びDRPCSで示している。図24は、第2実施例のロックオン信号発生回路の構成を示す図である。図8と比較して明らかのように、第1実施例のロックオン信号発生回路にANDゲートとカウンタ98が加えられている点が異なる。クロックにジッタがある場合に、精密D.L.L回路がロックオンしない場合があり得る。そのような場合にはロックオン信号が出力されないことになり、半導体装置が動作を開始できなくなるという問題がある。このような場合、クロックのジッタが粗ディレイの1段分より小さければ粗ロックオン信号が発生されるので、第2実施例では粗ロックオン信号が発生されればロックオンしたと見なす。図24の回路では、粗ロックオン信号が“L”に変化した後、カウンタ98で計数する所定のクロック数の間に精密ロックオン信号が“L”に変化しない場合には、ロックオン信号を発生させる。この所定クロック数は、精密位相比較回路25において、精密ディレイの可変段数分の回数以上、比較動作が行なわれるよう決定される。これは、精密ディレイの段数分以上の回数比較動作を行っても、精密D.L.L回路がロックオンしない時には、クロックのジッタのために何回比較動作を行ってもロックオンすることはないと見なすためで、その時には強制的にロックオンさせるためである。

【0058】図25は、第3実施例の入力クロックタイミング安定化回路の構成を示す図である。第3実施例では、図1に示した従来例の構成において、ダミー用可変ディレイ102の後に、一定の遅延量の固定ディレイ112を配置し、可変ディレイ101の後に外部から遅延量が設定できる可変ディレイ111を配置する。可変ディレイ111の遅延量を制御するディレイ制御ポインタ113と、テストモード時に外部からディレイ制御ポインタ113の制御値を設定するテストモードポインタ制御回路114が設けられている。ディレイ制御ポインタ113及びテストモードポインタ制御回路114は、例えば図23に示した第2実施例のディレイ制御ポインタと制御値を書き込むための回路が使用される。

【0059】第3実施例の入力クロックタイミング安定化回路では、ダミー用クロックを使用して外部クロックとの位相調整を行いながら、入力クロックの位相をそこから任意にずらすことができる。なお、固定ディレイ112の遅延量を、可変ディレイ111が0段の時の遅延量に等しく設定すれば、入力クロックはダミークロックに対して遅れる方向にのみズラスことが可能で、固定ディレイ112の遅延量を、可変ディレイ111が総段数の1/2段の時の遅延量に等しく設定すれば、入力クロックはダミークロックに対して遅れる方向と進む方向の両方に等しい範囲ずらすことが可能である。

【0060】図26は、第4実施例の入力クロックタイミング安定化回路の構成を示す図である。第4実施例では、可変ディレイを精密ディレイと粗ディレイに分け、その間に固定ディレイ121と、外部から遅延量が設定できる可変ディレイ122を設けている。但し、第4実施例では、入力クロックの経路に固定ディレイ121を、ダミークロックの経路に可変ディレイ122を配置している。動作は第3実施例と同じである。

【0061】図27は、第5実施例の入力クロックタイミング安定化回路の構成を示す図である。参照番号10で示すのは0°用の入力クロックタイミング安定化回路で、図2や図22で示す回路が使用されるが、ディレイ制御ポインタの位置は読み出せるようになっていない。前述のダブル・クロック・レート方式のクロック方式では、180°ずれた入力クロックを発生させる必要がある。参照番号136から141で示す要素が180°ずれた入力クロックを発生させる回路である。0°用の入力クロックタイミング安定化回路10の入力ラッチ17に印加される入力クロックは、精密ディレイ131と粗ディレイ132で遅延され、180°ずれた入力クロックとなる。0°用の入力クロックタイミング安定化回路10の分周器12の出力する分周クロックAは、精密ディレイ134と粗ディレイ135で遅延された後、更に精密ディレイ136と粗ディレイ137で遅延される。精密比較器140と粗比較器141では、粗ディレイ137の出力が分周器12の出力する分周クロックCに対して遅れているか進んでいるかが比較される。そして、精密ディレイ制御ポインタ138と粗ディレイ制御ポインタ139は、それぞれ精密比較器140と粗比較器141の比較結果に基づいて、粗ディレイ137の出力と分周クロックCの位相が一致するように、各ディレイの遅延量を変化させる。ここで、精密ディレイ131、134及び136は等価になるように作られており、粗ディレイ132、135、137も等価になるように作られており、共通の精密ディレイ制御ポインタ138と粗ディレイ制御ポインタ139で制御されるため、粗ディレイ137の出力と分周クロックCの位相が一致した時には、粗ディレイ132と135の出力は等しく、粗ディレイ137の出力、すなわち分周クロックCに対して

位相が正確に 180° ずれることになる。

【0062】第1及び第2実施例では、ディレイ制御ポインタの制御値を読み出せるようにしたが、その目的は可変ディレイ1段分のディレイ値を求め、DLL回路を使用した入力セットアップタイム／ホールドタイム試験に利用するためである。従って、第1から第4実施例のように、位相比較を行う信号の経路にダミーラッチ18やダミー入力バッファ19が設けられているのは、可変ディレイ1段分のディレイ値を正確の測定するという点では好ましくない。図27に示すように、 180° ずれた入力クロックを発生させるための位相比較の経路にはこれらのダミーラッチ18やダミー入力バッファ19を必要としないので、可変ディレイの遅延量が高精度で測定できる。従って、第5実施例では、 180° ずれた入力クロックを発生させるディレイ制御ポインタの制御値を読み出せるようにして、ディレイ制御ポインタの制御値と測定した可変ディレイの遅延量を対応させることにより、可変ディレイの1段当りの遅延量を正確に測定している。なお、半導体装置内においては、可変ディレイは同じプロセスで形成されるので、同じ特性を有すると考えられる。

【0063】図28は、第5実施例のロックオン信号発生回路の構成を示す図である。第5実施例の半導体装置では、図27に示したように、 0° 用DLL回路と共に 180° 用DLL回路が設けられているが、この他にも 120° 用や 90° 用のDLL回路が設けられている。このように多数のDLL回路がある場合には、それぞれのDLL回路で、図3に示しNANDゲート51を設けてロックオン信号が検出されるが、半導体装置としては、全てのDLL回路がロックオンした時にロックオンしたと判定する。そのため、第5実施例のロックオン信号発生回路は、 0° DLL回路151のロックオン検出回路161、 180° DLL回路152のロックオン検出回路162、 120° DLL回路153のロックオン検出回路163、及び 120° DLL回路154のロックオン検出回路164の出力の論理積をANDゲート165で算出して、それをロックオン信号としている。

【0064】また、図28に示すように、代表的なDLL回路のロックオン信号、図では 0° DLL回路151のロックオン検出回路161の出力を半導体装置のロックオン信号とすることもできる。図29は、第6実施例のロックオン信号発生回路の構成を示す図であり、可変ディレイの1段当りの遅延量を測定する構成の例を示している。参照番号171から175で示す部分は、 120° ずれたクロックを発生させる部分である。参照番号176から178は、 480° ずれたクロックを発生させる部分である。比較器178は、 480° ディレイ176で 480° 分遅延されダミー出力回路179とダミー入力バッファ180を経由した信号と、可変ディレイ171の出力する 120° ずれたクロックの位相を比較す

る。ディレイ制御ポインタ177は、その比較結果に従って 480° ディレイ176の遅延量を制御する。従って、2つのDLL回路がロックオンした状態では、2つのディレイ制御ポインタ174と177の制御値はちょうど 360° 、すなわちクロックの1周期分ずれていることになる。従って、演算器181で2つのディレイ制御ポインタ174と177の制御値の差を演算して出力するようにすれば、可変ディレイのクロックの1周期分の段数が分かる。

【0065】

【発明の効果】以上説明したように、本発明によれば、DLL回路を有する半導体装置の試験、特にDLL回路に関する試験が容易に行えるようになる。具体的には、入力セットアップタイム／ホールドタイムが高性能のテストを使用せずに高精度に行えるようになり、あらゆる条件でDLL回路がロックオンするまでの時間が容易に測定できるようになる。

【図面の簡単な説明】

【図1】入力クロックタイミング安定化回路の従来例の構成を示す図である。

【図2】第1実施例の入力クロックタイミング安定化回路の従来例の構成を示す図である。

【図3】第1実施例の位相比較回路（比較部）とロックオン検出回路の構成を示す図である。

【図4】第1実施例の位相比較回路（比較部）とロックオン検出回路の動作論理値を示す図である。

【図5】第1実施例の位相比較回路（増幅部）の構成を示す図である。

【図6】可変ディレイ回路の構成と動作を示す図である。

【図7】第1実施例のディレイ制御ポインタの構成を示す図である。

【図8】第1実施例のロックオン信号発生回路の構成と動作を示す図である。

【図9】第1実施例のリセット信号発生回路の構成を示す図である。

【図10】第1実施例の分周器の構成を示す図である。

【図11】第1実施例の分周器を構成する要素の構成を示す図である。

【図12】第1実施例の分周器を構成する要素の構成を示す図である。

【図13】第1実施例の分周制御回路の構成を示す図である。

【図14】第1実施例の入力セットアップタイム／ホールドタイム測定回路の構成を示す図である。

【図15】ダミー出力バッファの構成を示す図である。

【図16】シフトレジスタの構成を示す図である。

【図17】1/2分周器の構成を示す図である。

【図18】比較器の構成を示す図である。

【図19】入力セットアップタイム／ホールドタイム測

定のタイミングチャートである。

【図20】測定回路の他の例を示す図である。

【図21】測定回路の他の例を示す図である。

【図22】第2実施例の入力クロックタイミング安定化回路の構成を示す図である。

【図23】第2実施例のディレイ制御ポインタの構成を示す図である。

【図24】第2実施例のロックオン信号発生回路の構成を示す図である。

【図25】第3実施例の入力クロックタイミング安定化回路の構成を示す図である。

【図26】第4実施例の入力クロックタイミング安定化回路の構成を示す図である。

【図27】第5実施例の入力クロックタイミング安定化回路の構成を示す図である。

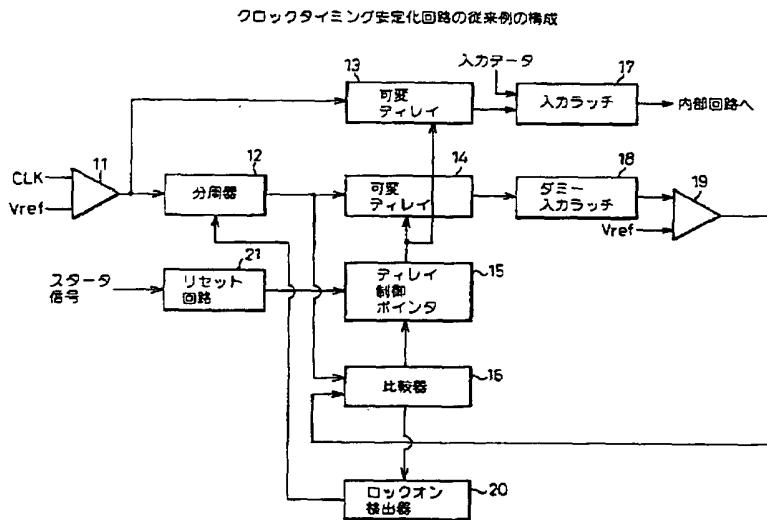
【図28】第5実施例のロックオン信号発生回路の構成を示す図である。

【図29】第6実施例の入力クロックタイミング安定化回路の構成を示す図である。

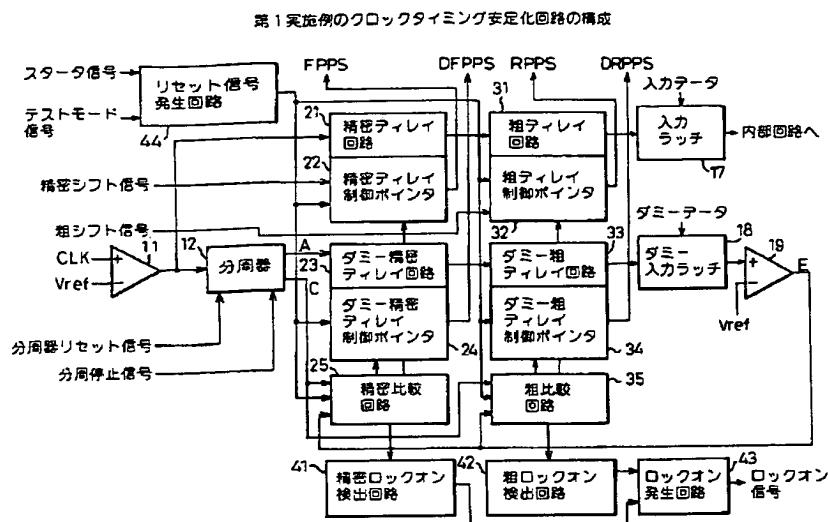
【符号の説明】

- 1 1…入力バッファ
- 1 2…分周器
- 1 7…入力ラッチ
- 1 8…ダミー入力ラッチ
- 1 9…ダミー入力バッファ
- 2 1…精密ディレイ回路
- 2 2…精密ディレイ制御ポインタ
- 2 3…ダミー精密ディレイ回路
- 2 4…ダミー精密ディレイ制御ポインタ
- 2 5…精密比較回路
- 3 1…粗ディレイ回路
- 3 2…粗ディレイ制御ポインタ
- 3 3…ダミー粗ディレイ回路
- 3 4…ダミー粗ディレイ制御ポインタ
- 3 5…粗比較回路
- 4 1…精密ロックオン検出回路
- 4 2…粗ロックオン検出回路
- 4 3…ロックオン信号発生回路
- 4 4…リセット信号派生回路

【図1】



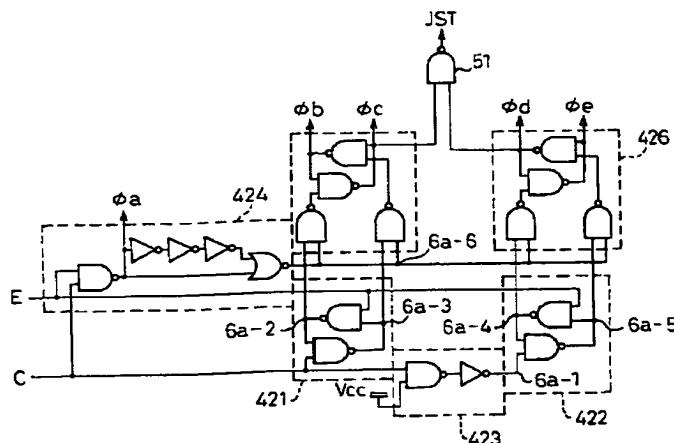
【図2】



【図3】

第1実施例の位相比較回路（比較部）とロックオン検出回路の構成

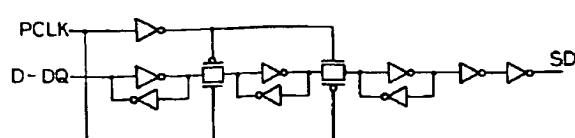
第1実施例の位相比較回路とロックオン検出回路の動作論理値



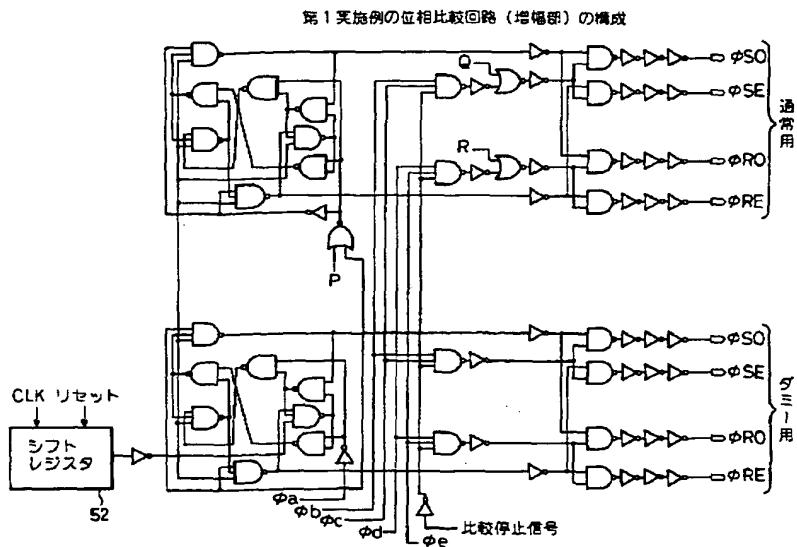
	ϕb	ϕc	JST	ϕd	ϕe
E	H	L	H	H	L
C	L	H	H	L	H
E C	L	H	L	H	L

【図16】

シフトレジスタの構成

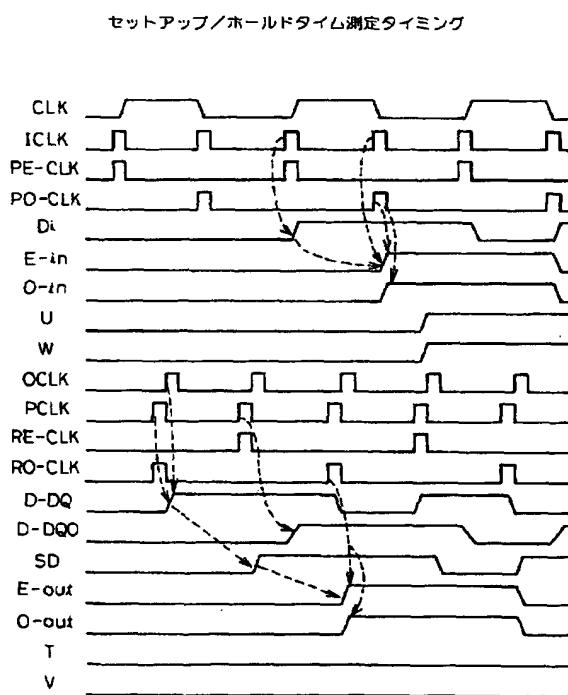
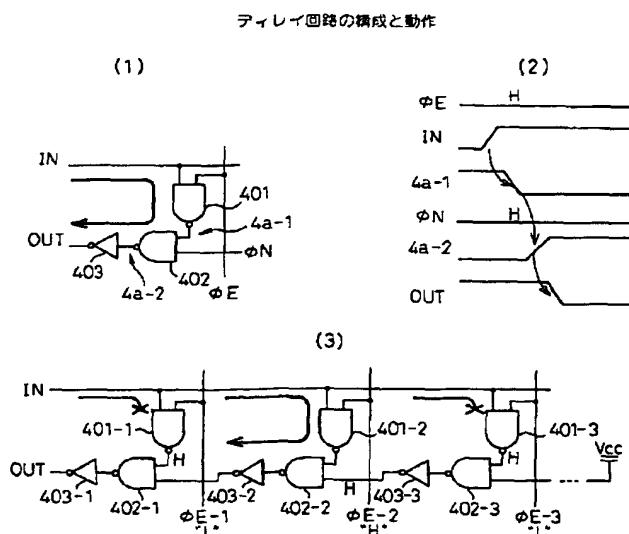


〔図5〕

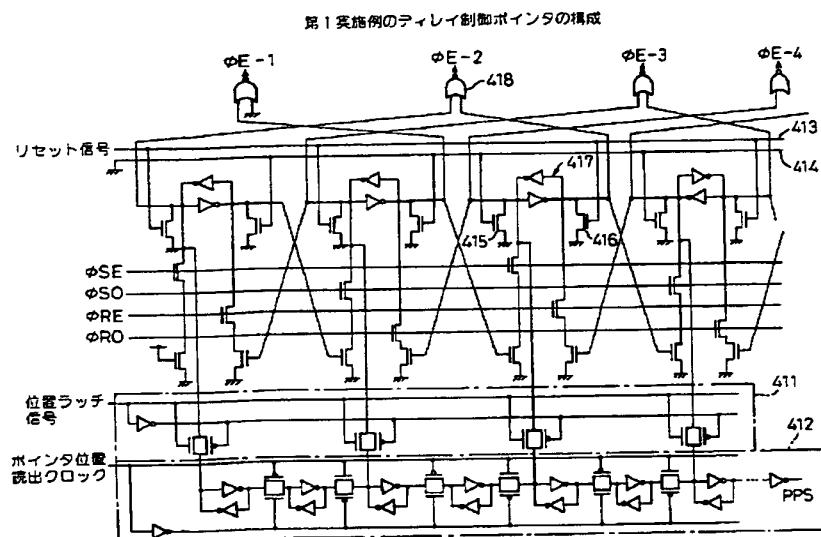


(四六)

【図19】

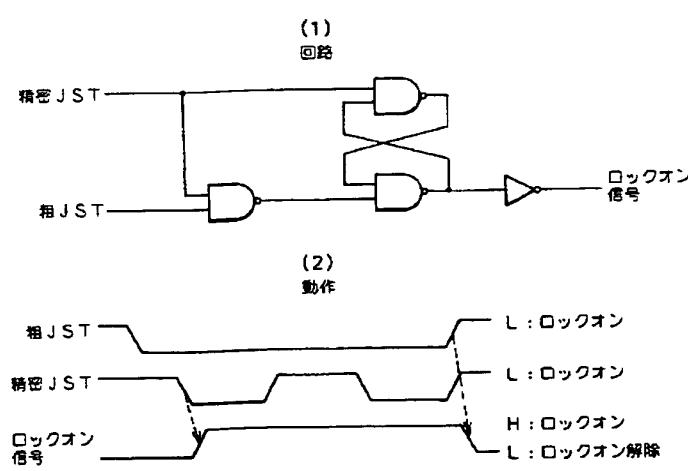


【図7】



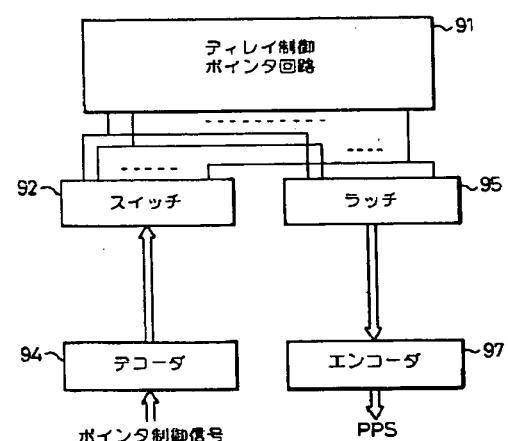
【図8】

第1実施例のロックオン発生回路の構成と動作



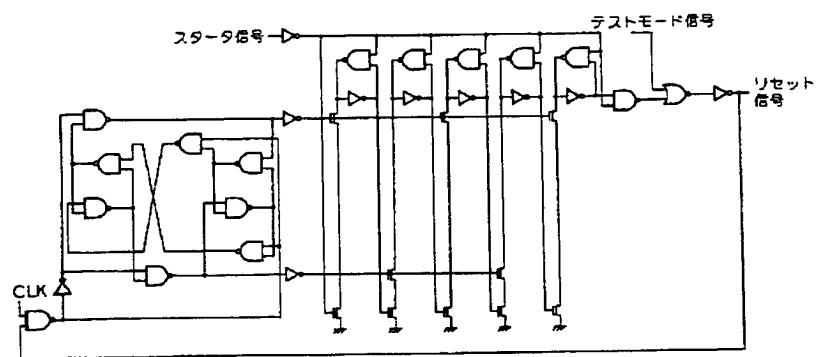
【図23】

第2実施例のティレイ制御ポインタの構成



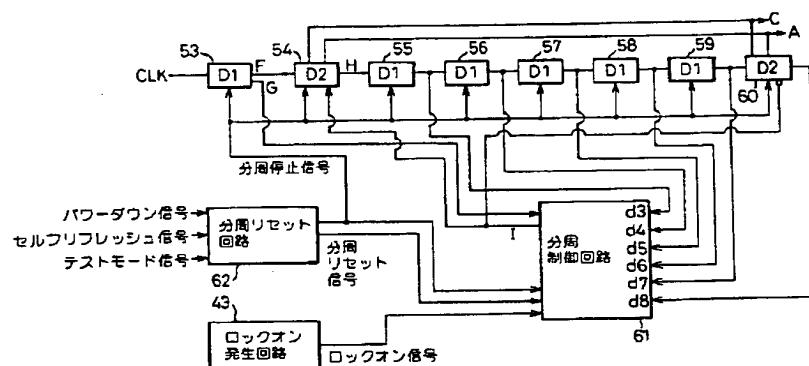
【図9】

第1実施例のリセット信号発生回路の構成



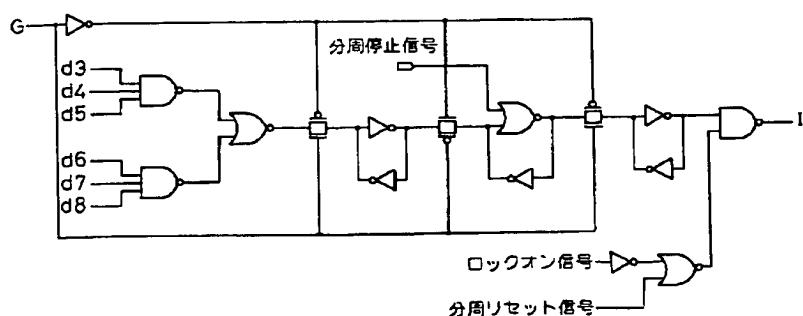
【図10】

第1実施例の分周器の構成



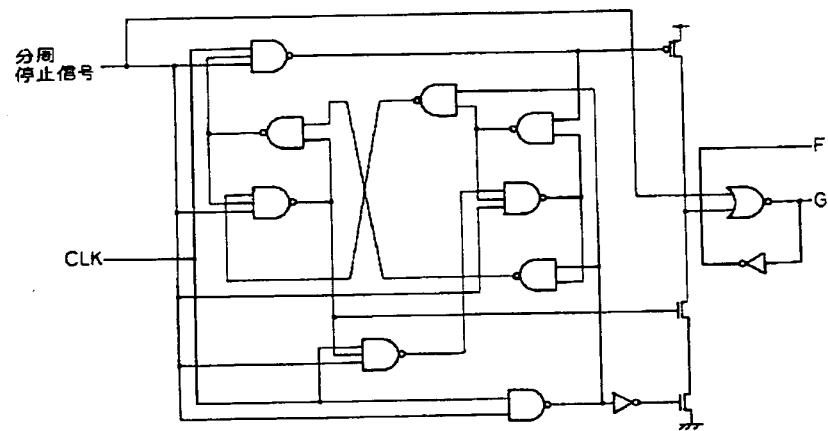
【図13】

第1実施例の分周制御回路



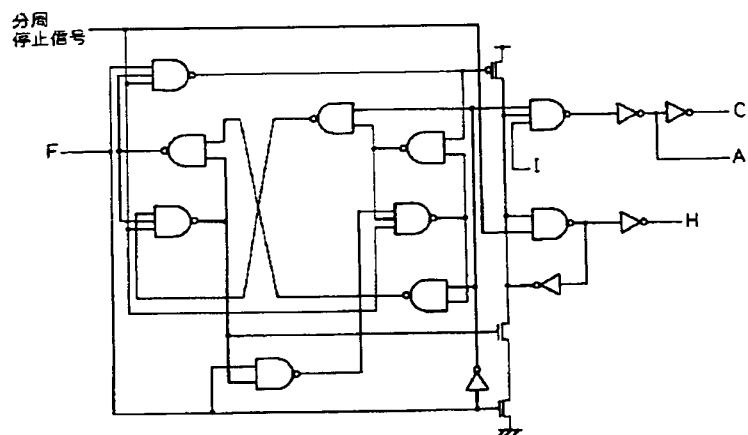
【図11】

第1実施例の分周器要素（その1）



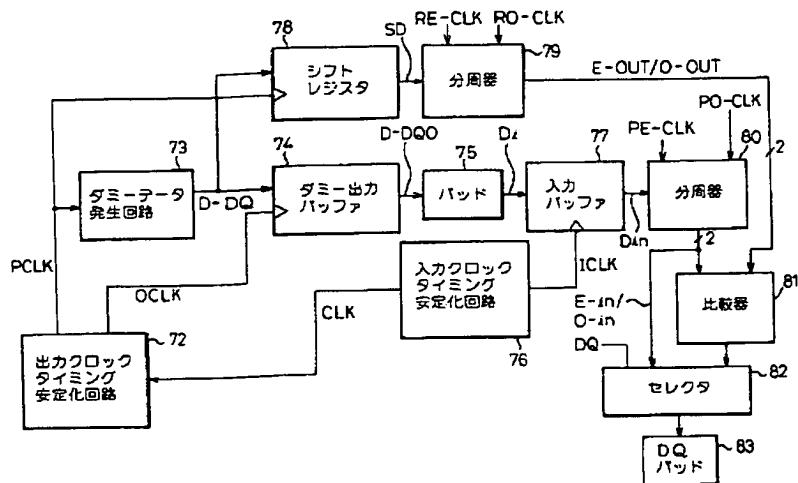
【図12】

第1実施例の分周器要素（その2）



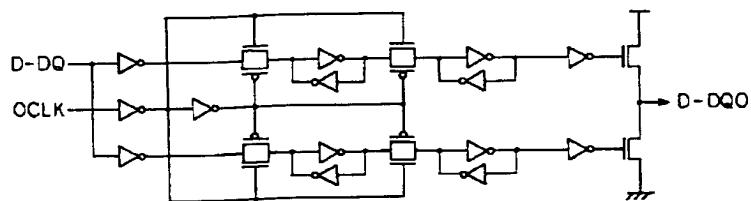
【図14】

第1実施例の入力セットアップ/ホールドタイム測定回路



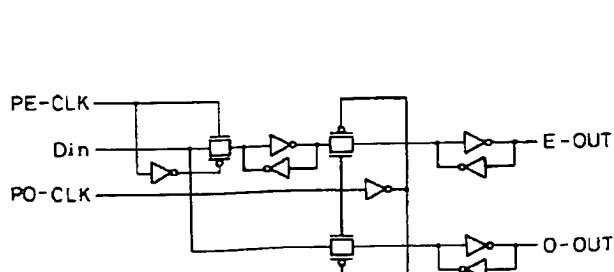
【図15】

ダミー出力バッファの構成



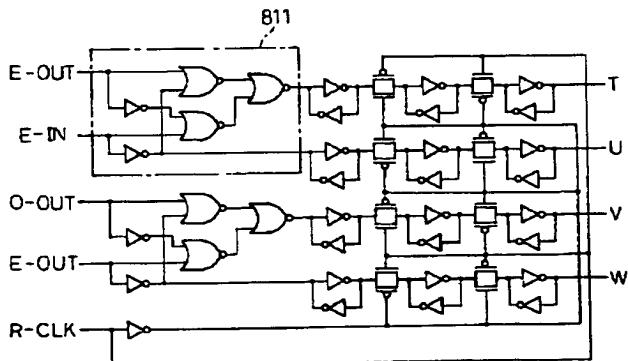
【図17】

分周器の構成



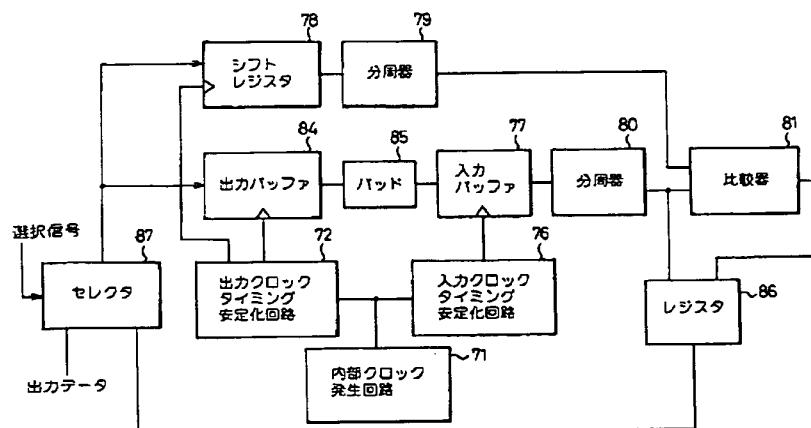
【図18】

比較器の構成



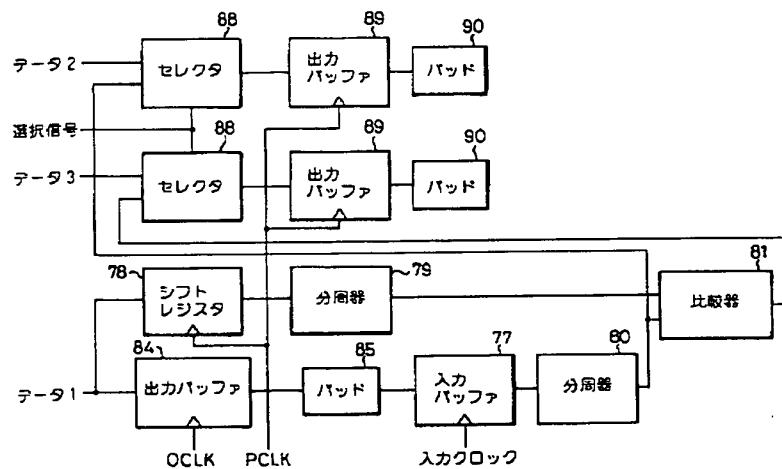
【図20】

測定回路の他の例



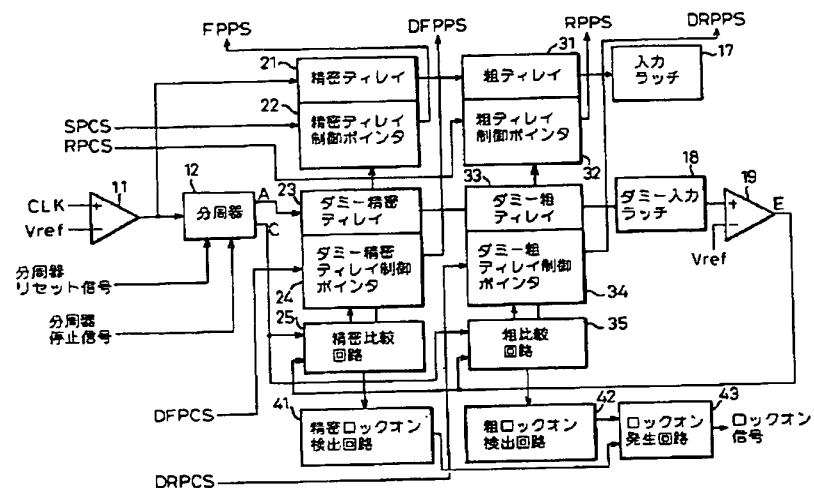
【図21】

測定回路の他の例



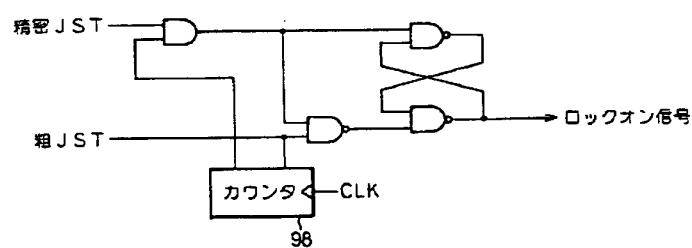
【図22】

第2実施例のクロックタイミング安定化回路の構成



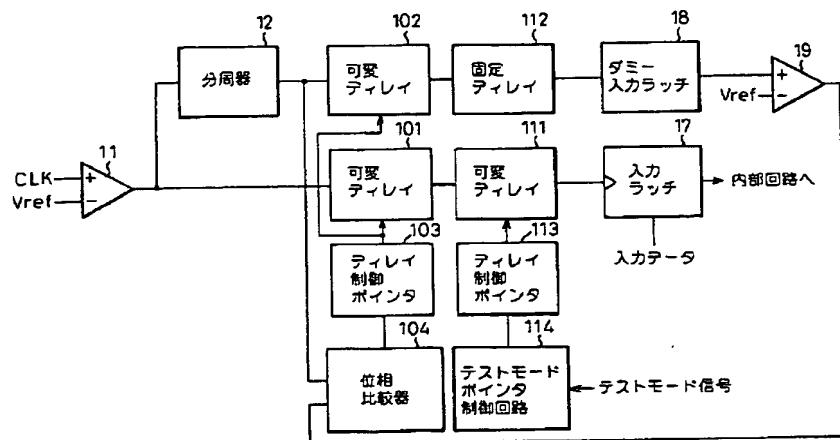
【図24】

第2実施例のロックオン信号発生回路



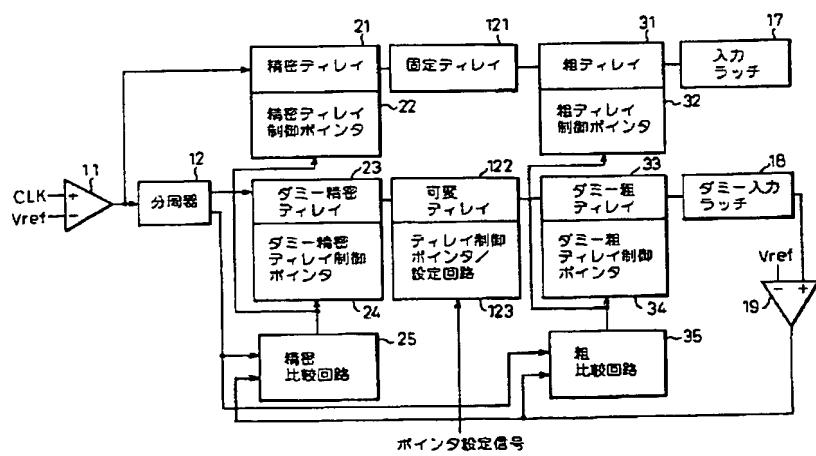
【図25】

第3実施例のクロックタイミング安定化回路の構成



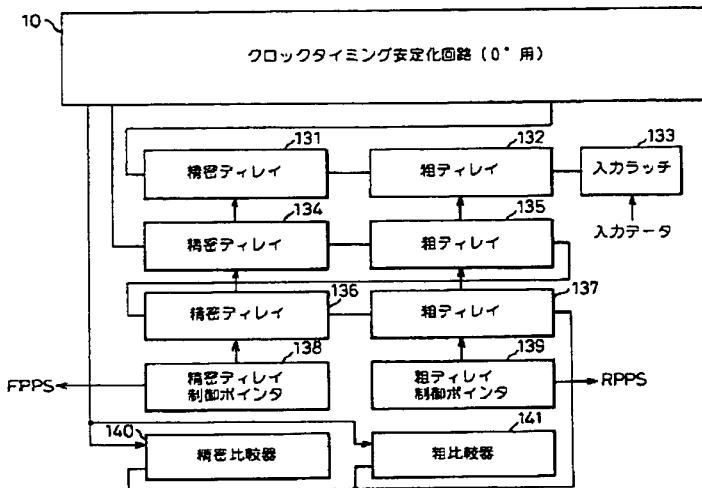
【図26】

第4実施例のクロックタイミング安定化回路の構成



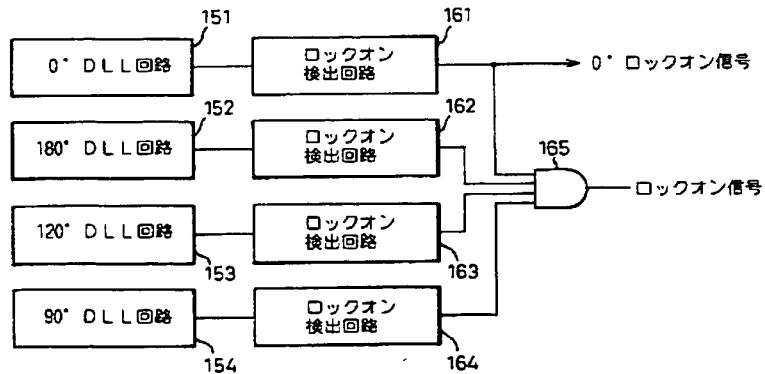
【图27】

第5実施例のクロックタイミング安定化回路の構成



【图28】

第5実施例のロックオン信号発生回路の構成



【図29】

